

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Masayuki FURUHASHI, et al.

Serial Number: Not Yet Assigned

Filed: October 30, 2003

Customer No.: 38834

For: SEMICONDUCTOR DEVICE FABRICATION METHOD

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 30, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-317456 , filed on October 31, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



John P. Kong
Reg. No. 40,054

Atty. Docket No.: 032076
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
JPK/amr

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月31日

出 願 番 号
Application Number:

特願2002-317456

[ST.10/C]:

[JP 2002-317456]

出 願 人
Applicant(s):

富士通株式会社

2003年 3月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3015621

【書類名】 特許願

【整理番号】 0241392

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 古橋 匡幸

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 森 年史

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 金 永ソク

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 大場 隆之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 中村 亮

【特許出願人】

 【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、ビスターシャルブチルアミノシランと酸素とを原料として用い、熱 CVD 法により、500～580℃の成膜温度で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、TEOSと酸素とを原料として用い、熱 CVD 法により、560～580℃の成膜温度で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコ

ン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、シランと亜酸化窒素とを原料として用い、熱CVD法により、600～700℃の成膜温度、15分以下の成膜時間で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、TEOSとオゾンとを原料として用い、熱CVD法により、480～500℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、ジシランと亜酸化窒素とを原料として用い、熱CVD法により、500～530℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記シリコン酸化膜を形成する工程の後、前記サイドウォールスペーサを形成する工程の前に、前記シリコン酸化膜を覆うようにシリコン窒化膜を形成する工程を更に有し、

前記シリコン窒化膜を形成する工程では、ビスターシャルブチルアミノシランとアンモニアとを原料として用い、熱 C V D 法により、5 5 0 ～ 5 8 0 ℃の成膜温度で、前記シリコン窒化膜を形成し、

前記サイドウォールスペーサを形成する工程では、前記シリコン窒化膜及び前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜と前記シリコン窒化膜とを有するサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法において、

前記シリコン酸化膜を形成する工程の後、前記サイドウォールスペーサを形成する工程の前に、前記シリコン酸化膜を覆うようにシリコン窒化膜を形成する工程を更に有し、

前記シリコン窒化膜を形成する工程では、シランとアンモニアとを原料として用い、熱 C V D 法により、6 5 0 ～ 7 0 0 ℃の成膜温度、1 5 分以下の成膜時間で、前記シリコン窒化膜を形成し、

前記サイドウォールスペーサを形成する工程では、前記シリコン窒化膜及び前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜と前記シリコン窒化膜とを有するサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 少なくともシリコンと窒素とを含む化合物より成る第 1 の原料と、分子中に窒素原子を複数含む化合物より成る第 2 の原料とを用いて、S i N、S i C N又はS i O C Nより成る絶縁膜を形成する工程を有する

ことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の前に、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程とを更に有し、

前記絶縁膜を形成する工程では、前記半導体基板上に、前記ゲート電極を覆うように前記絶縁膜を形成し、

前記絶縁膜を形成する工程の後に、前記絶縁膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記絶縁膜を有するサイドウォールスペースを形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 又は 9 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程では、 NH_3 より成る第 3 の原料を更に用いて、前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の微細化に伴ってチャネル長が短くなると、短チャネル効果が顕著となり、MOSトランジスタの正常な動作が得られなくなる。短チャネル効果を防止する技術として、近時では、エクステンションソース／ドレイン構造を有する半導体装置が注目されている。

【0003】

エクステンションソース／ドレイン構造を有する半導体装置の製造方法においては、ゲート電極をマスクとして半導体基板にドーパント不純物を浅く導入する

ことにより浅い不純物拡散領域、即ちエクステンション領域を形成し、この後、ゲート電極の側壁部分にサイドウォールスペーサを形成し、更に、ゲート電極とサイドウォールスペーサとをマスクとして半導体基板にドーパント不純物を導入することにより、深い不純物拡散領域を形成する。

【 0 0 0 4 】

浅い不純物拡散領域、即ちエクステンション領域は、電気抵抗が低く、かつ、横方向の不純物プロファイルが急峻であることが重要である。即ち、浅い不純物拡散領域においては、ドーパント不純物ができるだけ拡散しないようにすることが重要である。

【 0 0 0 5 】

従来、サイドウォールスペーサを構成するシリコン酸化膜を形成する場合には、例えばTEOSと O_2 とを原料として用い、例えば620℃の成膜温度で、例えば減圧熱CVD法により形成していた。

【 0 0 0 6 】

また、サイドウォールスペーサを構成するシリコン窒化膜を形成する場合には、ジクロロシラン (Di-Chloro-Silane、DCS、 SiH_2Cl_2) と NH_3 とを原料として用い、例えば700～800℃の成膜温度で、例えば減圧熱CVD法により形成していた。

【 0 0 0 7 】

シリコン酸化膜やシリコン窒化膜をこのような高温で形成していたのは、このような高温で成膜しないと、良好な膜質のシリコン酸化膜やシリコン窒化膜が得られないと考えられていたためである。例えば、良質なシリコン窒化膜を得ることが可能な成膜温度については、非特許文献1に記載されている。

【 0 0 0 8 】

【特許文献1】

特開2000-77403号公報

【特許文献2】

特開平11-172439号公報

【特許文献3】

特開 2 0 0 1 - 1 5 6 0 6 5 号公報

【特許文献 4】

特開 2 0 0 1 - 1 5 6 0 6 3 号公報

【非特許文献 1】

Brown, W.A et al.:Solid State Technology 22(7), p.51 (1984)

【非特許文献 2】

David, E.K. et al.: Journal of Applied Physics 77(3), p.1284 (1995)

【 0 0 0 9】

【発明が解決しようとする課題】

しかしながら、サイドウォールスペーサを構成するシリコン酸化膜やシリコン窒化膜を上記のような高温で成膜すると、浅い不純物拡散領域に導入されたドーパント不純物が拡散してしまい、短チャネル効果が生じやすくなってしまう。また、ゲート電極等からボロンが抜ける、いわゆるボロン抜けの問題が生じ、トランジスタのしきい値電圧のばらつき等を招いてしまう。

【 0 0 1 0】

ところで、プラズマ CVD 法を用いれば、 SiH_4 (モノシラン) と NH_3 とを原料とし、 $200 \sim 300^\circ\text{C}$ 程度の低い温度でシリコン窒化膜を形成することも可能である (非特許文献 2 参照)。また、プラズマ CVD 法を用いれば、シリコン酸化膜も同様に低い温度で成膜することが可能である。しかしながら、プラズマ CVD 法を用いてサイドウォールスペーサを構成するシリコン窒化膜等を形成した場合には、半導体基板にダメージが加わってしまい、また、シリコン窒化膜等に水素が含まれてしまう。サイドウォールスペーサを構成するシリコン窒化膜等に水素が含まれてしまうと、トランジスタのしきい値電圧の変動を招いてしまう。このため、サイドウォールスペーサを構成するシリコン窒化膜等を成膜する際には、プラズマ CVD 法を用いることはできなかった。

【 0 0 1 1】

また、トランジスタを覆う層間絶縁膜を形成した後に SiN より成るキャップ膜やストッパ膜を形成する場合があるが、層間絶縁膜の変形・変質等を避ける必

要があるため、キャップ膜やストッパ膜は、比較的低い温度で成膜しなければならなかった。このため、従来は、低い温度での成膜が可能なプラズマCVD法により、キャップ膜やストッパ膜を形成していた。一方、サイドウォールスペーサを形成する際に用いられるシリコン窒化膜は、上述したように高温の熱CVD法により形成されていたため、キャップ膜やストッパ膜を形成する際に用いられる半導体製造装置とサイドウォールスペーサを形成するために用いられる半導体製造装置とを兼ねることはできなかった。このことは、設備投資費用の低減を図るうえでの阻害要因となっていた。

【 0 0 1 2 】

本発明の目的は、浅い不純物拡散領域等におけるドーパント不純物の拡散を抑制し得る半導体装置の製造方法を提供することにある。

【 0 0 1 3 】

また、本発明の他の目的は、設備投資費用の低減に寄与しうる半導体装置の製造方法を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、前記シリコン酸化膜を形成する工程では、ビスターシャルブチルアミノシランと酸素とを原料として用い、熱CVD法により、500～580℃の成膜温度で、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 5 】

また、上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物

を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、前記シリコン酸化膜を形成する工程では、TEOSと酸素とを原料として用い、熱CVD法により、560～580℃の成膜温度で、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 6 】

また、上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、前記シリコン酸化膜を形成する工程では、シランと亜酸化窒素とを原料として用い、熱CVD法により、600～700℃の成膜温度、15分以下の成膜時間で、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 7 】

また、上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、前記シリコン酸化膜を形成する工程では、TEOSとオゾンとを原料として用い、熱C

D法により、480～500℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法により達成される。

【0018】

また、上記目的は、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、前記シリコン酸化膜を形成する工程では、ジシランと亜酸化窒素とを原料として用い、熱CVD法により、500～530℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法により達成される。

【0019】

また、上記目的は、少なくともシリコンと窒素とを含む化合物より成る第1の原料と、分子中に窒素原子を複数含む化合物より成る第2の原料とを用いて、SiN、SiCN又はSiOCNより成る絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法により達成される。

【0020】

【発明の実施の形態】

〔第1実施形態〕

本発明の第1実施形態による半導体装置の製造方法を図1乃至図12を用いて説明する。図1乃至図8は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0021】

まず、図1(a)に示すように、例えばシリコンより成る半導体基板10に、素子領域を画定する素子分離領域12を形成する。素子分離領域12は、例えば

S T I (Shallow Trench Isolation) 法により形成することができる。

【 0 0 2 2 】

次に、例えばスピコート法により、全面に、フォトレジスト膜（図示せず）を形成する。

【 0 0 2 3 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、N M O S トランジスタが形成される領域 1 4 n を開口する開口部（図示せず）を形成する。

【 0 0 2 4 】

次に、フォトレジスト膜をマスクとして、p 型のドーパント不純物を導入することにより、N M O S トランジスタが形成される領域 1 4 n における半導体基板 1 0 内に、p 形ウェル 1 6 p を形成する。

【 0 0 2 5 】

この後、フォトレジスト膜を剥離する。

【 0 0 2 6 】

次に、例えばスピコート法により、全面に、フォトレジスト膜（図示せず）を形成する。

【 0 0 2 7 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜に、P M O S トランジスタが形成される領域 1 4 p を開口する開口部（図示せず）を形成する。

【 0 0 2 8 】

次に、フォトレジスト膜をマスクとして、n 型のドーパント不純物を導入することにより、P M O S トランジスタが形成される領域 1 4 p における半導体基板 1 0 内に、n 形ウェル 1 6 n を形成する。

【 0 0 2 9 】

次に、全面に、膜厚 1 . 2 n m のゲート絶縁膜 1 8 を形成する。ゲート絶縁膜 1 8 は、例えば熱酸化法により形成することができる。

【 0 0 3 0 】

次に、全面に、膜厚 1 0 0 n m のポリシリコン膜を形成する。この後、フォトリソグラフィ技術を用い、ポリシリコン膜をゲート電極の形状にパターニングす

る。パターニングの際には、例えば異方性エッチングを用いる。こうして、ポリシリコンより成るゲート電極 2 0 が形成される。

【 0 0 3 1 】

次に、図 1 (b) に示すように、例えばスピンコート法により、全面に、フォトレジスト膜 2 2 を形成する。

【 0 0 3 2 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 2 2 に、NMOS トランジスタが形成される領域 1 4 n を開口する開口部 2 4 を形成する。

【 0 0 3 3 】

次に、例えばイオン注入法により、フォトレジスト膜 2 4 とゲート電極 2 0 とをマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に p 型のドーパント不純物を導入する。p 型のドーパント不純物としては、例えば I n を用いることができる。イオン注入条件は、例えば、加速エネルギーを 5 0 k e V とし、ドーズ量を $5 \times 10^{13} \text{ cm}^{-2}$ とする。こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、p 型のポケット領域 2 6 が形成される (図 2 (a) 参照) 。

【 0 0 3 4 】

なお、ここでは、p 型のドーパント不純物として I n を用いる場合を例に説明したが、p 型のドーパント不純物は I n に限定されるものではなく、例えば B を用いてもよい。p 型のドーパント不純物として B を用いる場合、加速エネルギーは例えば 5 k e V とし、ドーズ量は例えば $5 \times 10^{13} \text{ cm}^{-2}$ とする。

【 0 0 3 5 】

次に、例えばイオン注入法により、フォトレジスト膜 2 2 とゲート電極 2 0 とをマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば A s を用いることができる。イオン注入条件は、例えば、加速エネルギーを 5 k e V とし、ドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ とする。

【 0 0 3 6 】

この後、フォトレジスト膜 2 2 を剥離する。

【 0 0 3 7 】

こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8、即ちエクステンション領域が形成される（図 2（b）参照）。

【 0 0 3 8 】

次に、例えばスピコート法により、全面に、フォトレジスト膜 3 0 を形成する。

【 0 0 3 9 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 3 0 に、PMOSトランジスタが形成される領域 1 4 p を開口する開口部 3 2 を形成する。

【 0 0 4 0 】

次に、例えばイオン注入法により、フォトレジスト膜 3 0 とゲート電極 2 0 とをマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば S b を用いることができる。イオン注入条件は、例えば、加速エネルギーを 6 0 k e V とし、ドーズ量を $5 \times 10^{13} \text{ cm}^{-2}$ とする。こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、n 型のポケット領域 3 4 が形成される（図 3（a）参照）。

【 0 0 4 1 】

次に、例えばイオン注入法により、フォトレジスト膜 3 0 とゲート電極 2 0 とをマスクとして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、p 型のドーパント不純物を導入する。p 型のドーパント不純物としては、例えば B を用いることができる。イオン注入条件は、例えば、加速エネルギーを 1 k e V とし、ドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ とする。

【 0 0 4 2 】

この後、フォトレジスト膜 3 0 を剥離する。

【 0 0 4 3 】

こうして、ゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 3 6、即ちエクステンション領域が形成される（図 3（b）参照）。

【 0 0 4 4 】

次に、図 4 (a) に示すように、全面に、例えば減圧熱 CVD 法により、膜厚 10～30 nm のシリコン酸化膜 38 を形成する。原料としては、BTBAS (Bis (Tertiary-butylamino) Silane、ビスターシャルブチルアミノシラン) と O_2 とを用いる。成膜温度は、例えば 500～580℃ とする。成膜室内の圧力は、例えば 10～60 Pa とする。BTBAS の流量は、例えば 20～60 sccm とする。 O_2 の流量は、例えば 80～240 sccm とする。成膜時間は、例えば 5～20 分とする。成膜温度を低めに設定する場合、又は、成膜室内の圧力を低めに設定する場合には、成膜時間を長めに設定する。

【 0 0 4 5 】

なお、ここでは、シリコン酸化膜 38 を減圧熱 CVD 法を用いて形成する場合を例に説明したが、シリコン酸化膜 38 の形成方法は、減圧熱 CVD 法に限定されるものではない。例えば常圧熱 CVD 法などを用いてもよい。但し、減圧熱 CVD 法を用いた場合の方が、常圧熱 CVD 法を用いた場合と比較して、ステップカバレッジの良好なシリコン酸化膜 38 が得られる傾向がある。

【 0 0 4 6 】

次に、図 4 (b) に示すように、全面に、例えば減圧熱 CVD 法により、膜厚 40～80 nm のシリコン窒化膜 40 を形成する。原料としては、BTBAS と NH_3 (アンモニア) とを用いる。成膜温度は、例えば 550～580℃ とする。成膜室内の圧力は、例えば 50～300 Pa とする。BTBAS の流量は、30～100 sccm とする。 NH_3 の流量は、例えば 120～400 sccm とする。成膜時間は、例えば 40～240 分とする。成膜温度を低めに設定する場合、又は、成膜室内の圧力を低めに設定する場合には、成膜時間を長めに設定する。

【 0 0 4 7 】

なお、ここでは、シリコン窒化膜 40 を減圧熱 CVD 法を用いて形成する場合を例に説明したが、シリコン窒化膜 40 の形成方法は、減圧熱 CVD 法に限定されるものではない。例えば常圧熱 CVD 法などを用いてもよい。但し、減圧熱 CVD 法を用いた場合の方が、常圧熱 CVD 法を用いた場合と比較して、ステップカバレッジの良好なシリコン窒化膜 40 が得られる傾向がある。

【 0 0 4 8 】

次に、図 5 (a) に示すように、シリコン窒化膜 4 0 及びシリコン酸化膜 3 8 を異方性エッチングする。エッチングガスとしては、例えばハイドロフルオロカーボンを用いる。こうして、図 5 (b) に示すように、ゲート電極 2 0 の側壁部分に、シリコン酸化膜 3 8 とシリコン窒化膜 4 0 とから成る積層構造のサイドウォールスペーサ 4 2 が形成される。

【 0 0 4 9 】

次に、例えばスピコート法により、全面に、フォトレジスト膜 4 4 を形成する。

【 0 0 5 0 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 4 4 に、NMOS トランジスタが形成される領域 1 4 n を開口する開口部 4 6 を形成する。

【 0 0 5 1 】

次に、図 6 (b) に示すように、例えばイオン注入法により、フォトレジスト膜 4 4 、ゲート電極 2 0 及びサイドウォールスペーサ 4 2 をマスクとして、半導体基板 1 0 内に n 型のドーパント不純物を導入する。n 型のドーパント不純物としては、例えば A s 又は P を用いることができる。イオン注入条件は、例えば、加速エネルギーを 6 k e V とし、ドーズ量を $1 \times 10^{16} \text{ cm}^{-2}$ とする。

【 0 0 5 2 】

こうして、側壁部分にサイドウォールスペーサ 4 2 が形成されたゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の深い領域を構成する n 型の不純物拡散領域 4 8 が形成される (図 6 (b) 参照) 。深い不純物拡散領域 4 8 は、浅い不純物拡散領域 2 8 よりキャリア濃度が高くなるように形成される。浅い不純物拡散領域 2 8 と深い不純物拡散領域 4 8 とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層 5 0 が構成される。

【 0 0 5 3 】

この後、フォトレジスト膜 4 4 を剥離する。

【 0 0 5 4 】

次に、例えばスピコート法により、全面に、フォトレジスト膜 5 2 を形成する。

【 0 0 5 5 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 5 2 に、PMOS トランジスタが形成される領域 1 4 p を開口する開口部 5 4 を形成する。

【 0 0 5 6 】

次に、例えばイオン注入法により、フォトレジスト膜 5 2、ゲート電極 2 0 及びサイドウォールスペーサ 4 2 をマスクとして、半導体基板 2 0 内に p 型のドーパント不純物を導入する。p 型のドーパント不純物としては、例えば B を用いることができる。イオン注入条件は、例えば、加速エネルギーを 8 keV とし、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ とする。

【 0 0 5 7 】

こうして、側壁部分にサイドウォールスペーサ 4 2 が形成されたゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の深い領域を構成する p 型の不純物拡散領域 5 6 が形成される（図 7（a）参照）。深い不純物拡散領域 5 6 は、浅い不純物拡散領域 3 6 よりキャリア濃度が高くなるように形成される。浅い不純物拡散領域 3 6 と深い不純物拡散領域 5 6 とにより、エクステンションソース／ドレイン構造のソース／ドレイン拡散層 5 8 が構成される。

【 0 0 5 8 】

この後、フォトレジスト膜 5 2 を剥離する。

【 0 0 5 9 】

次に、例えば RTA（Rapid Thermal Annealing）法により、ソース／ドレイン拡散層 5 0、5 8 に導入されたドーパント不純物を活性化するための熱処理を行う。熱処理は、例えば 1000°C 以上の短時間アニールとする。

【 0 0 6 0 】

次に、図 7（b）に示すように、全面に、例えばスパッタ法により、例えば C o より成る金属膜 6 0 を形成する、金属膜 6 0 の膜厚は、例えば 5 nm 以上とする。

【 0 0 6 1 】

次に、熱処理を行うことにより、金属膜 6 0 の C o と半導体基板 1 0 の S i とを反応させる。こうして、例えばコバルトシリサイド膜が形成される。この後、S i と反応しなかった金属膜 6 0 を除去する。こうして、コバルトシリサイドよりのソース／ドレイン電極 6 2 が形成される（図 8 参照）。

【 0 0 6 2 】

こうして N M O S トランジスタ 6 4 n と P M O S トランジスタ 6 4 p とを有する本実施形態による半導体装置が製造される。

【 0 0 6 3 】

本実施形態による半導体装置の製造方法は、B T B A S と O_2 とを原料として用い、熱 C V D 法により、5 0 0 ～ 5 8 0 ℃ の成膜温度で、シリコン酸化膜 3 8 を形成すること、また、B T B A S と NH_3 とを原料として用い、熱 C V D 法により、5 5 0 ～ 5 8 0 ℃ の成膜温度で、シリコン窒化膜 4 0 を形成することに主な特徴がある。

【 0 0 6 4 】

従来は、サイドウォールスペーサ 4 2 を形成するためのシリコン酸化膜やシリコン窒化膜は高い温度で成膜されていたため、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8、3 6 においてドーパント不純物が拡散してしまい、必ずしも良好な電気的特性を有するトランジスタを形成することができなかった。また、同様に、ポケット領域 2 6、3 4 においてもドーパント不純物が拡散してしまい、トランジスタの電流駆動力が低くなってしまう傾向があった。一方、プラズマ C V D 法を用いれば、シリコン酸化膜やシリコン窒化膜を比較的低温で成膜し得るが、プラズマ C V D 法を用いた場合には、半導体基板 1 0 にダメージが加わり、また、シリコン酸化膜やシリコン窒化膜に水素が含まれてしまう。このため、プラズマ C V D 法を用いた場合には、トランジスタのしきい値電圧の変動を招いてしまう。従って、プラズマ C V D 法を用いてシリコン酸化膜やシリコン窒化膜を成膜した場合には、良好な電気的特性を有するエクステンションソース／ドレイン構造のトランジスタを形成することは困難であった。

【 0 0 6 5 】

これに対し、本実施形態では、BTBASと O_2 とを原料として用い、500～580℃という比較的低い成膜温度で、シリコン酸化膜を熱CVD法により形成し、また、BTBASと NH_3 とを原料として用い、550～580℃という比較的低い成膜温度で、シリコン窒化膜を熱CVD法により形成する。このため、本実施形態によれば、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域28、36やポケット領域26、34においてドーパント不純物が拡散してしまうのを抑制することができる。特に、NMOSトランジスタ64nのポケット領域26に導入するドーパント不純物としてBを用いた場合や、PMOSトランジスタ64pの浅い不純物拡散領域36に導入するドーパント不純物としてBを用いた場合には、ドーパント不純物の拡散を抑制する顕著な効果が得られる。従って、本実施形態によれば、エクステンションソース／ドレイン構造及びポケット構造を有する良好な電気的特性を有するトランジスタを形成することができ、ひいては電気的特性の極めて良好な微細な半導体装置を提供することができる。

【 0 0 6 6 】

(評価結果)

次に、本実施形態による半導体装置の製造方法の評価結果について、図9乃至図12を用いて説明する。

【 0 0 6 7 】

まず、PMOSトランジスタ64pにおけるBの濃度分布について図9を用いて説明する。図9は、PMOSトランジスタにおけるBの濃度分布を示すグラフである。なお、Bの濃度分布は、SIMS (Secondary Ion Mass Spectrometry、二次イオン質量分析装置) を用いて測定した。

【 0 0 6 8 】

図9における太い実線は、本実施形態の場合、即ちBTBASと O_2 とを原料として用い、530℃の成膜温度で、熱CVD法によりシリコン酸化膜38を形成し、BTBASと NH_3 とを原料として用い、580℃の成膜温度で熱CVD法によりシリコン窒化膜40を形成した後におけるBの濃度分布を示している。

【 0 0 6 9 】

図 9 における点線は、従来の半導体装置の製造方法の場合、即ち、TEOSと O_2 とを原料として用い、 $620^{\circ}C$ の成膜温度で、熱CVD法によりシリコン酸化膜を形成し、ジクロロシランと NH_3 とを原料として用い、 $700^{\circ}C$ の成膜温度で、熱CVD法によりシリコン窒化膜を形成した後におけるBの濃度分布を示している。

【 0 0 7 0 】

図 9 における細い実線は、ゲート電極 20 をマスクとして半導体基板 10 に B を注入した直後におけるBの濃度分布を示している。

【 0 0 7 1 】

図 9 から分かるように、従来の半導体装置では、Bを注入した直後におけるBの濃度分布と成膜後におけるBの濃度分布とを比較すると、Bの濃度分布は若干変化している。

【 0 0 7 2 】

これに対し、本実施形態による半導体装置では、Bを注入した直後におけるBの濃度分布と成膜後におけるBの濃度分布とを比較すると、Bの濃度分布は殆ど変化していない。

【 0 0 7 3 】

このことから、本実施形態によれば、シリコン酸化膜 38 とシリコン窒化膜 40 とを形成する際におけるBの拡散を抑制し得ることが分かる。

【 0 0 7 4 】

次に、NMOSトランジスタ 64 nにおけるAsの濃度分布について図 10 を用いて説明する。図 10 は、NMOSトランジスタにおけるAsの濃度分布を示すグラフである。Asの濃度分布は、SIMSを用いて測定した。

【 0 0 7 5 】

図 10 における太い実線は、本実施形態の場合、即ち、即ちBTBASと O_2 とを原料として用い、 $530^{\circ}C$ の成膜温度で、熱CVD法によりシリコン酸化膜 38 を形成し、BTBASと NH_3 とを原料として用い、 $580^{\circ}C$ の成膜温度で熱CVD法によりシリコン窒化膜 40 を形成した後におけるAsの濃度分布を示

している。

【 0 0 7 6 】

図 1 0 における点線は、従来の半導体装置の製造方法の場合、即ち、TEOS と O_2 とを原料として用い、 $620^\circ C$ の成膜温度で、熱CVD法によりシリコン酸化膜を形成し、ジクロロシランと NH_3 とを原料として用い、 $700^\circ C$ の成膜温度で、熱CVD法によりシリコン窒化膜を形成した後におけるAsの濃度分布を示している。

【 0 0 7 7 】

図 1 0 における細い実線は、ゲート電極 2 0 をマスクとして半導体基板 1 0 にAsを注入した直後におけるAsの濃度分布を示している。

【 0 0 7 8 】

図 1 0 から分かるように、従来の半導体装置では、Asを注入した直後におけるAsの濃度分布と成膜後におけるAsの濃度分布とを比較すると、Asの濃度分布が大きく変化している。

【 0 0 7 9 】

これに対し、本実施形態による半導体装置では、Asを注入した直後におけるAsの濃度分布と成膜後におけるAsの濃度分布とを比較すると、Asの濃度分布が殆ど変化していない。

【 0 0 8 0 】

このことから、本実施形態によれば、シリコン酸化膜 3 8 とシリコン窒化膜 4 0 とを形成する際におけるAsの拡散を抑制し得ることが分かる。

【 0 0 8 1 】

次に、NMOSトランジスタ 6 4 n におけるロールオフ (Roll-off) 特性について図 1 1 を用いて説明する。図 1 1 は、NMOSトランジスタにおけるゲート長としきい値電圧との関係を示すグラフである。図 1 1 の横軸はゲート長を示している。紙面左側ほどゲート長は短く、紙面右側ほどゲート長が長い。図 1 1 の縦軸は、しきい値電圧 V_{th} を示している。

【 0 0 8 2 】

図 1 1 における■印は、本実施形態による半導体装置の場合を示している。

【 0 0 8 3 】

図 1 1 における◆印は、従来の半導体装置の場合を示している。

【 0 0 8 4 】

図 1 1 から分かるように、従来の半導体装置の場合には、ゲート長が短くなるに伴って、しきい値電圧 V_{th} が大きく変化してしまっている。

【 0 0 8 5 】

これに対し、本実施形態による半導体装置の場合には、ゲート長を短くすることに伴うしきい値電圧 V_{th} の変化が抑制されている。

【 0 0 8 6 】

このことから、本実施形態によれば、NMOS トランジスタ 6 4 n においてロールオフ耐性を向上し得ることが分かる。

【 0 0 8 7 】

次に、PMOS トランジスタ 6 4 p における $I_{on} - I_{off}$ 特性について図 1 2 を用いて説明する。図 1 2 は、PMOS トランジスタにおける $I_{on} - I_{off}$ 特性を示すグラフである。図 1 2 の横軸は飽和電流 I_{on} を示している。紙面左側ほど飽和電流 I_{on} が小さく、紙面右側ほど飽和電流 I_{on} が大きい。図 1 2 の縦軸は、リーク電流 I_{off} を示している。紙面上側ほどリーク電流が大きく、紙面下側ほどリーク電流が小さい。

【 0 0 8 8 】

図 1 2 における■印は、本実施形態による半導体装置の場合を示している。

【 0 0 8 9 】

図 1 2 における◆印は、従来の半導体装置の場合を示している。

【 0 0 9 0 】

図 1 2 から分かるように、本実施形態による半導体装置では、従来の半導体装置と比較して、リーク電流 I_{off} の値に対する飽和電流 I_{on} の値大きくなっている。

【 0 0 9 1 】

このことから、本実施形態によれば、PMOS トランジスタ 6 4 p における $I_{on} - I_{off}$ 特性を向上し得ることが分かる。

【 0 0 9 2 】

(変形例)

次に、本実施形態による半導体装置の製造方法の変形例について図 1 3 を用いて説明する。図 1 3 は、本変形例による半導体装置の製造方法を示す工程断面図である。

【 0 0 9 3 】

本変形例による半導体装置の製造方法は、サイドウォールスペーサ 4 2 a をシリコン酸化膜 3 8 のみを用いて形成することに主な特徴がある。

【 0 0 9 4 】

まず、ゲート電極 2 0 の両側の半導体基板 1 0 内に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 3 6 を形成する工程までは、図 1 (a) 乃至図 3 (b) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 0 9 5 】

次に、図 1 3 (a) に示すように、全面に、例えば熱 C V D 法により、シリコン酸化膜 3 8 を形成する。本変形例では、シリコン酸化膜 3 8 のみによりサイドウォールスペーサ 4 2 を形成するため、シリコン酸化膜 3 8 を厚めに形成する。シリコン酸化膜 3 8 の膜厚は、例えば 1 0 0 n m 程度とする。原料としては、上記と同様に、B T B A S と O_2 とを用いる。成膜温度は、上記と同様に、例えば 5 0 0 ~ 5 8 0 ° C とする。成膜室内の圧力は、上記と同様に、例えば 1 0 ~ 6 0 P a とする。B T B A S の流量は、上記と同様に、例えば 2 0 ~ 6 0 s c c m とする。 O_2 の流量は、上記と同様に、例えば 8 0 ~ 2 4 0 s c c m とする。

【 0 0 9 6 】

次に、シリコン酸化膜 3 8 を異方性エッチングする。エッチングガスとしては、例えばハイドロフルオロカーボンを用いる。こうして、図 3 (b) に示すように、ゲート電極 2 0 の側壁部分に、シリコン酸化膜 3 8 のみから成るサイドウォールスペーサ 4 2 a が形成される。即ち、単層構造のサイドウォールスペーサ 4 2 a が形成される。

【 0 0 9 7 】

この後の半導体装置の製造方法は、図 6 (a) 乃至図 8 を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【0098】

こうして、本変形例による半導体装置が製造される。

【0099】

このように、シリコン酸化膜 3 8 のみによりサイドウォールスペーサ 4 2 a を形成しても良い。

【0100】

[第 2 実施形態]

本発明の第 2 実施形態による半導体装置の製造方法を図 1 4 乃至図 2 1 を用いて説明する。図 1 4 乃至図 2 1 は、本実施形態による半導体装置の製造方法を示す工程断面図である。図 1 乃至図 1 3 に示す第 1 実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0101】

本実施形態による半導体装置の製造方法は、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8、3 6 を形成する前に、エクステンションソース／ドレイン構造の深い領域を構成する不純物拡散領域 4 8、5 6 を形成することに主な特徴がある。

【0102】

まず、ゲート電極 2 0 を形成する工程までは、図 1 (a) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する (図 1 4 (a) 参照)。

【0103】

次に、図 1 4 (b) に示すように、全面に、例えば熱 C V D 法により、膜厚 1 0 ~ 3 0 n m のシリコン酸化膜を形成する。原料としては、例えば T E O S と O₂ とを用いる。成膜温度は、例えば 6 2 0 ~ 7 0 0 °C とする。エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域 2 8、3 6 が未だ形成されていないため、このような比較的高い成膜温度でシリコン酸化膜 6 6 を形成しても特段の問題はない。

【 0 1 0 4 】

次に、全面に、例えば熱CVD法により、膜厚40～80nmのシリコン窒化膜68を形成する。原料としては、例えばジクロロシランと NH_3 とを用いる。成膜温度は、例えば700～800℃とする。エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域28、36が未だ形成されていないため、このような比較的高い成膜温度でシリコン酸化膜66を形成しても特段の問題はない。

【 0 1 0 5 】

次に、シリコン窒化膜68及びシリコン酸化膜66を異方性エッチングする。エッチングガスとしては、例えばハイドロフルオロカーボンを用いる。こうして、図15(a)に示すように、ゲート電極20の側壁部分に、シリコン酸化膜66とシリコン窒化膜68とから成る積層構造のサイドウォールスペーサ70が形成される。

【 0 1 0 6 】

この後の図15(b)及び図16(a)に示す半導体装置の製造方法は、図6(a)及び図6(b)を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【 0 1 0 7 】

次に、例えばRTA法により、不純物拡散領域48、56に導入されたドーパント不純物を活性化するための熱処理を行う。熱処理は、例えば1000℃以上の短時間アニールとする。

【 0 1 0 8 】

次に、例えばウェットエッチングにより、シリコン酸化膜66とシリコン窒化膜68とから成るサイドウォールスペーサ70をエッチング除去する(図16(b)参照)。シリコン窒化膜68をエッチング除去する際には、例えばリン酸を用いる。また、シリコン酸化膜66をエッチング除去する際には、例えばフッ酸を用いる。

【 0 1 0 9 】

この後の図17(a)乃至図18(b)に示す半導体装置の製造方法は、図1

(b) 乃至図 3 (a) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【 0 1 1 0 】

次に、例えば R T A 法により、ポケット領域 2 6、3 4 及び不純物拡散領域 2 8、3 6 に導入されたドーパント不純物を活性化するための熱処理を行う (図 1 9 (a) 参照)。熱処理は、例えば 1 0 0 0 ℃ 以上の短時間アニールとする。

【 0 1 1 1 】

この後の図 1 9 (b) 乃至図 2 0 (b) に示す半導体装置の製造方法は、図 4 (a) 乃至図 5 (b) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 1 1 2 】

また、この後の図 2 1 (a) 乃至図 2 1 (b) に示す半導体装置の製造方法は、図 7 (b) 及び図 8 を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 1 1 3 】

こうして本実施形態による半導体装置が製造される。

【 0 1 1 4 】

本実施形態による半導体装置の製造方法は、上述したように、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8、3 6 及びポケット領域 2 6、3 4 を形成する前に、エクステンションソース／ドレイン構造の深い領域を構成する不純物拡散領域 4 8、5 6 を形成することに主な特徴がある。

【 0 1 1 5 】

本実施形態によれば、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域 2 8、3 6 及びポケット領域 2 6、3 4 を形成する前に、エクステンションソース／ドレイン構造の深い領域を構成する不純物拡散領域 4 8、5 6 を形成するため、深い不純物拡散領域 4 8、5 6 に導入されたドーパント不純物を活性化するための熱処理を、浅い不純物拡散領域 2 8、3 6 及びポケット領域 2 6、3 4 を形成する前に行うことができる。このため、本実施形態に

よれば、エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域 2 8、3 6 及びポケット領域 2 6、3 4 におけるドーパント不純物の拡散を、より抑制することができ、より短チャネル効果及びトランジスタの電流駆動力の低下を防止することが可能となる。

【 0 1 1 6 】

(変形例)

次に、本実施形態による半導体装置の製造方法の変形例について図 2 2 を用いて説明する。図 2 2 は、本変形例による半導体装置の製造方法を示す工程断面図である。

【 0 1 1 7 】

本変形例による半導体装置の製造方法は、サイドウォールスペーサ 4 2 a をシリコン酸化膜 3 8 のみにより形成することに主な特徴がある。

【 0 1 1 8 】

まず、ポケット領域 2 6、3 4 及び不純物拡散領域 2 8、3 6 に導入されたドーパント不純物を活性化するための熱処理を行う工程までは、図 1 4 (a) 乃至図 1 9 (a) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 1 1 9 】

次に、図 1 3 (a) を用いて上述した半導体装置の製造方法と同様にして、全面に、膜厚 1 0 0 n m 程度のシリコン酸化膜 3 8 を形成する(図 2 2 (a) 参照)。

【 0 1 2 0 】

次に、図 1 3 (b) を用いて上述した半導体装置の製造方法と同様にして、シリコン酸化膜 3 8 を異方性エッチングする。こうして、ゲート電極 2 0 の側壁部分に、シリコン酸化膜 3 8 のみから成る単層構造のサイドウォールスペーサ 4 2 a が形成される(図 2 2 (b) 参照)。

【 0 1 2 1 】

この後の半導体装置の製造方法は、図 2 1 (a) 及び図 2 1 (b) を用いて上述した半導体装置の製造方法と同様であるので、説明を省略する。

【 0 1 2 2 】

このように、シリコン酸化膜 3 8 のみによりサイドウォールスペーサ 3 8 a を形成してもよい。

【 0 1 2 3 】

[第 3 実施形態]

本発明の第 3 実施形態による半導体装置の製造方法を説明するに先立って、本発明の第 3 実施形態による半導体装置の製造方法の原理について説明する。

【 0 1 2 4 】

B T B A S と NH_3 とを原料ガスとして C V D 法によりシリコン窒化膜を成膜する際の成膜反応は、N 源となる N - H が供給される 2 つの過程に律速されと考える。

【 0 1 2 5 】

図 2 3 は、B T B A S と NH_3 とを原料ガスとして用いてシリコン窒化膜を成膜する際の成膜メカニズムを示す概念図である。

【 0 1 2 6 】

N 源が供給される第 1 の過程は、以下の通りである。

【 0 1 2 7 】

即ち、まず、図 2 3 の (1) のように、B T B A S の分子が半導体基板に吸着する。半導体基板に吸着した B T B A S は、図 2 3 の (2) のように分解される。具体的には、B T B A S の分子構造のうちで最も結合エネルギーが低い結合である、 $\text{Si} - \text{NHC}(\text{CH}_3)_3$ の結合が切断され、ターシャルブチルアミン (t - butylamine) が生成される。生成されたターシャルブチルアミンは、図 2 3 の (4) のように分解され、N - H が N 源となる。なお、生成されたターシャルブチルアミンの一部は、図 2 3 の (3) のように、半導体基板から脱着する。

【 0 1 2 8 】

N 源が供給される第 2 の過程は、図 2 3 の (5) のように、 NH_3 が分解し、N - H が N 源となる過程である。

【 0 1 2 9 】

なお、図 2 3 の (6) のように、副産物も生ずる。

【 0 1 3 0 】

これらのことから、N源をより提供しやすい原料を用いれば、反応速度が速くなり、比較的低い成膜温度であってもシリコン窒化膜を形成し得ると考えられる。

【 0 1 3 1 】

本願発明者らは鋭意検討した結果、 NH_3 を原料として用いる代わりに、分子中に窒素原子を複数含む原料を用いることに想到した。分子中に窒素原子を複数含む原料を用いれば、N源をより提供しやすくなり、反応速度が速くなり、比較的低い成膜温度であってもシリコン窒化膜を形成し得ると考えられる。分子中に窒素原子を複数含む原料としては、例えばヒドラジン化合物等が考えられる。

【 0 1 3 2 】

次に、本発明の第3実施形態による半導体装置の製造方法を図24乃至図28を用いて説明する。図24は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図23に示す第1及び第2実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【 0 1 3 3 】

まず、シリコン酸化膜38を形成する工程までは、図1(a)乃至図4(a)を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 1 3 4 】

次に、図24に示すように、全面に、例えば熱CVD法により、膜厚40～80nmのシリコン窒化膜を形成する。原料としては、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料とを用いる。シリコンと窒素とを含む原料としては、例えばBTBASを用いることができる。分子中に窒素原子を複数含む化合物より成る原料としては、例えばヒドラジン化合物を用いることができる。ヒドラジン化合物としては、例えばジメチルヒドラジン(DMH_y、Dimethylhydrazine、 $(\text{CH}_3)_2\text{HNNH}_2$)を用いることができる。成膜温度は、例えば500～650℃とする。成膜室内の圧力は、例えば100Torrとする。BTBASの流量は、例えば10～100scc

mとする。ジメチルヒドラジンの流量は、例えば30～300 s c c mとする。
成膜時間は、例えば10～20分とする。

【0135】

なお、ここでは、シリコン窒化膜40aを形成する際の成膜温度を500～650℃としたが、シリコン窒化膜40aを形成する際の成膜温度は、500～650℃に限定されるものではない。例えば、500℃以下でシリコン窒化膜40aを形成することも可能である。エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域28、36及びポケット領域26、34におけるドーパント不純物の拡散を確実に抑制するためには、例えば550℃以下でシリコン窒化膜40aを成膜することが望ましい。

【0136】

この後の半導体装置の製造方法は、図5（a）乃至図8を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【0137】

こうして本実施形態による半導体装置の製造方法が製造される。

【0138】

本実施形態による半導体装置の製造方法は、上述したように、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素を複数含む化合物より成る原料とを用いて、シリコン窒化膜40aを形成することに主な特徴がある。

【0139】

本実施形態によれば、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料とを用いて、シリコン窒化膜40aを形成するため、シリコン窒化膜を比較的低い成膜温度で熱CVD法により形成することができる。このため、本実施形態によれば、エクステンションソース／ドレイン構造の浅い不純物拡散領域28、36及びポケット領域26、34におけるドーパント不純物の拡散を抑制することができる。このため、短チャネル効果及びトランジスタの電流駆動力の低下を防止することができ、またロールオフ耐性を向上することができる。従って、本実施形態によれば、良好な電気的特性を有する微細な半導体装置を提供することができる。

【 0 1 4 0 】

(評価結果)

次に、本実施形態による半導体装置の製造方法の評価結果について図 2 5 乃至図 2 8 を用いて説明する。

【 0 1 4 1 】

図 2 5 は、シリコン窒化膜の成膜速度を示すグラフである。図 2 5 は、アレニウスプロットである。横軸は温度の逆数を示しており、縦軸は成膜速度を示している。

【 0 1 4 2 】

図 2 5 中に□印を用いて示した比較例 1 は、BTBAS と NH_3 とを原料ガスとしてシリコン窒化膜を形成した場合の成膜速度を示している。BTBAS と NH_3 とを原料ガスとしてシリコン窒化膜を形成した場合には、比較的高い成膜温度では反応律速となり、比較的低い成膜温度では輸送律速となる。見かけ上の活性化エネルギーは、反応律速においては 3.3 eV であり、輸送律速においては 0.65 eV であった。

【 0 1 4 3 】

図 2 5 中に●印を用いて示した実施例 1 は、本実施形態による半導体装置の製造方法の場合、即ち、BTBAS とジメチルヒドラジン (DMHy) とを原料ガスとしてシリコン窒化膜を形成した場合の成膜速度を示している。見かけ上の活性化エネルギーは、2.3 eV であった。

【 0 1 4 4 】

図 2 5 から分かるように、実施例 1 では、比較例 1 に比べて、成膜速度が一桁以上速くなっている。5 nm/min の成膜速度が得られる成膜温度について比較すると、実施例 1 では、比較例 1 に対して、成膜温度を 100℃ 以上低くし得ることが分かる。

【 0 1 4 5 】

これらのことから、本実施形態によれば、極めて低い成膜温度でシリコン窒化膜を成膜し得ることが分かる。

【 0 1 4 6 】

図 2 6 は、シリコン窒化膜の成膜温度と屈折率との関係を示すグラフである。横軸はシリコン窒化膜を形成する際の成膜温度を示しており、縦軸はシリコン窒化膜の屈折率を示している。

【 0 1 4 7 】

図 2 6 中に■印を用いて示した実施例 2 は、本実施形態による半導体装置の製造方法の場合、即ち、BTBAS とジメチルヒドラジン (DMHy) とを原料ガスとしてシリコン窒化膜を形成した場合におけるシリコン窒化膜の屈折率を示している。

【 0 1 4 8 】

図中に●を用いて示した比較例 2 は、BTBAS と NH_3 とを原料ガスとしてシリコン窒化膜を形成した場合におけるシリコン窒化膜の屈折率を示している。

【 0 1 4 9 】

実施例 2 と比較例 2 のいずれにおいても、高い成膜温度でシリコン窒化膜を形成するほど、シリコン窒化膜の屈折率は低くなる傾向がある。高い成膜温度でシリコン窒化膜を形成するほどシリコン窒化膜の屈折率が低くなるのは、成膜温度が高いほど、シリコン窒化膜中の Si 濃度が化学量論的組成 (Si_3N_4) より低くなり、シリコン窒化膜中の N 濃度が化学量論的組成より高くなる傾向があるためと考えられる。このことは、FTIR による分析結果と一致している。

【 0 1 5 0 】

なお、化学量論的組成のバルクの Si_3N_4 の場合、Si 濃度は約 43% である。また、化学量論的組成のバルクの Si_3N_4 の場合、屈折率は 2.0 ~ 2.1 程度である。

【 0 1 5 1 】

図 2 7 は、原料ガスの流量比とシリコン窒化膜の屈折率との関係を示すグラフである。横軸は、BTBAS の流量に対するジメチルヒドラジンの流量を示しており、縦軸はシリコン窒化膜の屈折率を示している。

【 0 1 5 2 】

図 2 7 から分かるように、ジメチルヒドラジンの流量比が大きくなるほど、シリコン窒化膜の屈折率は低くなる傾向がある。ジメチルヒドラジンの流量比を大

きくするほどシリコン窒化膜の屈折率が低くなるのは、ジメチルヒドラジンの流量を増加すると、成膜速度が速くなる一方、成膜されるシリコン窒化膜の膜密度が低くなるためと考えられる。

【 0 1 5 3 】

シリコン窒化膜の膜密度が低いと、半導体基板 1 0 中やゲート電極 2 0 中にドーパされているドーパント不純物がシリコン窒化膜中に拡散してしまう場合があるため、シリコン窒化膜の膜密度は高い方が望ましい。従って、BTBAS の流量に対するジメチルヒドラジンの流量は、例えば 3 倍以下とすることが望ましい。

【 0 1 5 4 】

図 2 8 は、シリコン酸化膜の比誘電率を示すグラフである。

【 0 1 5 5 】

比較例 3 は、ジクロロシランと NH_3 とを原料ガスとして用い、700℃の成膜温度でシリコン窒化膜を形成した場合におけるシリコン窒化膜の比誘電率を示している。なお、成膜装置としては、縦型 CVD 装置を用いた。

【 0 1 5 6 】

比較例 4 は、BTBAS と NH_3 とを原料ガスとして用い、580℃の成膜温度でシリコン窒化膜を形成した場合におけるシリコン窒化膜の比誘電率を示している。なお、成膜装置としては、縦型 CVD 装置を用いた。

【 0 1 5 7 】

実施例 3 は、BTBAS とジメチルヒドラジンと NH_3 とを原料ガスとして用い、500℃の成膜温度でシリコン窒化膜を形成した場合である。なお、成膜装置としては、枚葉式の CVD 装置を用いた。

【 0 1 5 8 】

なお、バルクの Si_3N_4 における比誘電率は 6.9 である。

【 0 1 5 9 】

実施例 4 は、BTBAS とジメチルヒドラジンとを原料ガスとして用い、500℃の成膜温度でシリコン窒化膜を形成した場合におけるシリコン窒化膜の比誘電率を示している。なお、成膜装置としては、枚葉式の CVD 装置を用いた。

【 0 1 6 0 】

図 2 8 から分かるように、実施例 3、4 では、比較例 3、4 に対して、比誘電率の低いシリコン窒化膜が得られることが分かる。

【 0 1 6 1 】

また、実施例 3 と実施例 4 とを比較すると、実施例 4 では、実施例 3 よりも比誘電率の低いシリコン窒化膜が得られることが分かる。

【 0 1 6 2 】

これらのことから、本実施形態によれば、シリコン窒化膜の比誘電率を低くすることができ、ゲート電極とシリコン窒化膜との間の静電容量を低減し得ることが分かる。従って、本実施形態によれば、半導体装置の動作速度をより向上することが可能となる。

【 0 1 6 3 】

(変形例)

次に、本実施形態による半導体装置の製造方法の変形例について図 2 9 及び図 3 0 を用いて説明する。図 2 9 は、本変形例による半導体装置の製造方法を示す工程断面図である。

【 0 1 6 4 】

本変形例による半導体装置の製造方法は、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料の他に、更に、 N H_3 より成る原料を用いて、シリコン窒化膜を形成することに主な特徴がある。

【 0 1 6 5 】

まず、シリコン酸化膜 3 8 を形成する工程までは、図 1 (a) 乃至図 4 (a) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【 0 1 6 6 】

次に、図 2 9 に示すように、全面に、例えば熱 C V D 法により、膜厚 4 0 ～ 8 0 n m のシリコン窒化膜 4 0 b を形成する。原料としては、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料の他に、更に、 N H_3 より成る原料を用いる。シリコンと窒素とを含む化合物より成る原料としては、上記と同様に、例えば B T B A S を用いることができる。分

子中に窒素原子を複数含む化合物より成る原料としては、上記と同様に、例えばヒドラジン化合物を用いることができる。ヒドラジン化合物としては、上記と同様に、例えばジメチルヒドラジンを用いることができる。成膜温度は、例えば500～650℃とする。成膜室内の圧力は、例えば100 Torrとする。BTBASの流量は、例えば10～100 sccmとする。ジメチルヒドラジンの流量は、例えば30～300 sccmとする。NH₃の流量は、例えば30～300 sccmとする。成膜時間は、例えば10～20分とする。

【0167】

この後の半導体装置の製造方法は、図5（a）乃至図8を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

【0168】

こうして本実施形態による半導体装置の製造方法が製造される。

【0169】

このように、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料との他に、更に、NH₃より成る原料を用いて、シリコン窒化膜40bを形成してもよい。

【0170】

（評価結果）

次に、本変形例による半導体装置の製造方法の評価結果を図30を用いて説明する。図30は、シリコン窒化膜におけるリーク電流特性を示すグラフである。横軸は電界強度を示しており、縦軸はリーク電流密度を示している。

【0171】

実施例5は、本変形例の場合、即ち、BTBASとジメチルヒドラジンとNH₃とを原料として用い、シリコン窒化膜を形成した場合におけるシリコン窒化膜のリーク電流密度を示している。

【0172】

比較例5は、BTBASとジメチルヒドラジンとを原料としてシリコン窒化膜を形成した場合におけるシリコン窒化膜のリーク電流密度を示している。

【0173】

図 3 0 から分かるように、実施例 5 では、比較例 5 と比較して、シリコン窒化膜におけるリーク電流が低くなっている。

【 0 1 7 4 】

このように、本変形例によれば、シリコン窒化膜におけるリーク電流を低減することができる。

【 0 1 7 5 】

[第 4 実施形態]

次に、本発明の第 4 実施形態による半導体装置の製造方法を図 3 1 乃至図 3 3 を用いて説明する。図 3 1 乃至図 3 3 は、本実施形態による半導体装置の製造方法を示す工程断面図である。図 1 乃至図 3 0 に示す第 1 乃至第 3 実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【 0 1 7 6 】

本実施形態による半導体装置の製造方法は、 SiN 、 SiCN 又は SiOCN より成るキャップ膜やストッパ膜を成膜する際に、上記と同様にして、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料とを用いて、成膜することに主な特徴がある。

【 0 1 7 7 】

まず、図 3 1 (a) に示すように、トランジスタ (図示せず) 等が形成された半導体基板 1 0 上の全面に、例えばプラズマ CVD 法により、膜厚 4 0 0 ~ 8 0 0 nm の FSG (Fluorine doped Silicate Glass) より成る層間絶縁膜 7 2 を形成する。

【 0 1 7 8 】

次に、全面に、膜厚 3 0 ~ 1 0 0 nm の SiN 、 SiCN 又は SiOCN より成るキャップ膜 7 4 を形成する。キャップ膜 7 4 は、例えばパッシベーション膜として機能するものである。キャップ膜 7 4 として SiN 膜を形成する場合には、例えば、図 2 4 を用いて上述したシリコン窒化膜 4 0 a の形成方法と同様にしてキャップ膜 7 4 を形成すればよい。キャップ膜 7 4 として SiCN 膜を形成する場合には、原料ガスとして C を含む原料ガスを用いればよい。キャップ膜 7 4

としてSiOCN膜を形成する場合には、成膜室内に酸素ガスを適宜導入すればよい。

【0179】

次に、図31(b)に示すように、全面に、例えば膜厚30～100nmのSiN、SiCN又はSiOCNより成るストッパ膜76を形成する。ストッパ膜76は、層間絶縁膜78に配線を埋め込むための溝、即ちトレンチを形成する際に、エッチングストッパとして機能するものである。ストッパ膜76としてSiN膜を形成する場合には、例えば、図24を用いて上述したシリコン窒化膜40aの形成方法と同様にしてストッパ膜76を形成すればよい。ストッパ膜76としてSiCN膜を形成する場合には、原料ガスとしてCを含む原料ガスを用いればよい。ストッパ膜76としてSiOCN膜を形成する場合には、成膜室内に酸素ガスを適宜導入すればよい。

【0180】

次に、全面に、例えばプラズマCVD法により、膜厚400～800nmのFSGより成る層間絶縁膜78を形成する。

【0181】

次に、全面に、例えば膜厚30～100nmのSiN、SiCN又はSiOCNより成るストッパ膜80を形成する。ストッパ膜80は、後述する工程でCMP法により導電膜を研磨する際に、ストッパとして機能するものである。ストッパ膜80としてSiN膜を形成する場合には、例えば、図24を用いて上述したシリコン窒化膜40aの形成方法と同様にしてストッパ膜80を形成すればよい。ストッパ膜80としてSiCN膜を形成する場合には、原料ガスとしてCを含む原料ガスを用いればよい。ストッパ膜80としてSiOCN膜を形成する場合には、成膜室内に酸素ガスを適宜導入すればよい。

【0182】

次に、フォトリソグラフィ技術を用い、ストッパ膜80をパターニングする。この後、ストッパ膜80をマスクとし、ストッパ膜76をエッチングストッパとして、層間絶縁膜78をエッチングする。この後、溝82内のストッパ膜76をエッチング除去する。こうして、配線84(図32(b)参照)を埋め込むため

の溝 8 2 が形成される。

【 0 1 8 3 】

次に、全面に、例えばめっき法により、膜厚 4 0 0 ~ 8 0 0 n m の C u 膜を形成する。この後、CMP 法により、C u 膜をストッパ膜 8 0 の表面が露出するまで研磨する。こうして、溝 8 2 内に C u より成る配線 8 4 が埋め込まれる。

【 0 1 8 4 】

次に、全面に、例えば膜厚 3 0 ~ 1 0 0 n m の S i N、S i C N 又は S i O C N より成るキャップ膜 8 6 を形成する。キャップ膜 8 6 の形成方法は、例えば、図 2 4 を用いて上述したシリコン窒化膜 4 0 a の形成方法と同様とすればよい。

【 0 1 8 5 】

次に、全面に、例えばプラズマ C V D 法により、膜厚 4 0 0 ~ 8 0 0 n m の F S G より成る層間絶縁膜 8 8 を形成する。

【 0 1 8 6 】

こうして本実施形態による半導体装置が製造される。

【 0 1 8 7 】

本実施形態による半導体装置の製造方法は、上述したように、S i N、S i C N 又は S i O C N より成るキャップ膜やストッパ膜を成膜する際に、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料とを用いて、成膜することに主な特徴がある。

【 0 1 8 8 】

層間絶縁膜 7 2 等を形成した後に形成される S i N、S i C N 又は S i O C N より成るキャップ膜 7 4、8 6 やストッパ膜 7 6、8 0 は、層間絶縁膜 7 2 等の変形や変質等を避ける必要があるため、比較的低い温度で成膜しなければならない。このため、従来は、比較的低い温度での成膜が可能なプラズマ C V D 法を用いて、S i N 等より成るキャップ膜やストッパ膜を形成していた。一方、サイドウォールスペーサを形成する際に用いられるシリコン窒化膜は、高温の熱 C V D 法により形成されていたため、キャップ膜やストッパ膜を形成する際に用いられる半導体製造装置とサイドウォールスペーサを形成するために用いられる半導体製造装置とを兼ねることはできなかった。このことは、設備投資費用の低減や製

造プロセスの単純化における阻害要因となっていた。

【0189】

これに対し、本実施形態では、比較的低い温度でSiN、SiCN又はSiOCNより成るキャップ膜やストッパ膜を熱CVD法やプラズマCVD法により形成することができるため、キャップ膜やストッパ膜を形成する際に用いる半導体製造装置とサイドウォールスペーサを形成する際に用いられる半導体製造装置とを兼ねることができる。このため、本実施形態によれば、設備投資費用を低減することができる。また、プロセスの単純化を図ることができる。

【0190】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0191】

例えば、第1及び第2実施形態では、シリコン酸化膜38を熱CVD法により形成する際に、原料としてBTBASとO₂とを用い、成膜温度を500～580℃としたが、シリコン酸化膜38の成膜方法は、これに限定されるものではない。

【0192】

例えば、TEOS (Tetra-Ethyl-Ortho-Silicate、テトラエトキシシラン) とO₂とを原料として用い、560～580℃の成膜温度で、シリコン酸化膜を熱CVD法により形成してもよい。この場合、成膜室内の圧力は、例えば30～100Paとすればよい。また、TEOSの流量は、例えば30～130sccmとすればよい。また、O₂流量は、例えば0～10sccmとすればよい。この場合にも、比較的低い成膜温度で、シリコン酸化膜を熱CVD法により形成することが可能である。

【0193】

また、シランとN₂O (亜酸化窒素) とを原料として用い、600～700℃の成膜温度、15分以下の成膜時間で、シリコン酸化膜を熱CVD法により形成してもよい。この場合、成膜室内の圧力は、200Torrとすればよい。また、シランの流量は、例えば60sccmとすればよい。また、N₂Oの流量は、

例えば 3 0 0 0 s c c m とすればよい。この場合には、第 1 及び第 2 実施形態の場合より成膜温度は高くなるが、成膜時間が短時間であるため、浅い不純物拡散領域及びポケット領域におけるドーパント不純物の拡散を抑制することが可能である。なお、成膜時間を短くするためには、例えば枚葉式の C V D 装置を用いればよい。また、枚葉式の C V D 装置を用いない場合であっても、成膜室内に導入する半導体基板の枚数を少なくすれば、短い成膜時間でシリコン窒化膜を形成することが可能である。

【 0 1 9 4 】

なお、本明細書中で成膜時間とは、所定の成膜温度にて実際に成膜が行われる時間のことである。

【 0 1 9 5 】

また、T E O S と O_3 とを原料として用い、4 8 0 ~ 5 0 0 ° C の成膜温度、3 0 分以下の成膜時間で、シリコン酸化膜を熱 C V D 法により形成してもよい。この場合、成膜室内の圧力は、例えば 2 0 0 T o r r とすればよい。また、T E O S の流量は、例えば 6 0 0 m g とすればよい。また、 O_3 の流量は、例えば 4 0 0 0 s c c m とすればよい。この場合には、成膜温度が比較的低いのみならず、成膜時間も短いため、不純物拡散領域及びポケット領域における不純物の拡散をより抑制することが可能となる。

【 0 1 9 6 】

また、ジシランと N_2O とを原料として用い、5 0 0 ~ 5 3 0 ° C の成膜温度、3 0 分以下の成膜時間で、シリコン酸化膜を熱 C V D 法により形成してもよい。この場合、成膜室内の圧力は、例えば 2 0 0 T o r r とすればよい。また、ジシランの流量は、例えば 2 0 s c c m とすればよい。また、 N_2O の流量は、例えば 4 5 0 0 s c c m とすればよい。この場合も、成膜温度が比較的低いのみならず、成膜時間も短いため、浅い不純物拡散領域及びポケット領域における不純物の拡散をより抑制することが可能である。

【 0 1 9 7 】

また、第 1 及び第 2 実施形態では、熱 C V D 法によりシリコン窒化膜 4 0 を形成する際に、原料として B T B A S と NH_3 とを用い、成膜温度を 5 5 0 ~ 5 8

0℃としたが、シリコン窒化膜の成膜方法は、これに限定されるものではない。

【0198】

例えば、シランと NH_3 とを原料として用い、650～700℃の成膜温度、15分以下の成膜時間で、シリコン窒化膜を熱CVD法により形成してもよい。この場合には、成膜温度は若干高くなるが、成膜時間が比較的短いため、エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域及びポケット領域におけるドーパント不純物の拡散を抑制することが可能である。なお、成膜時間を短くするためには、例えば枚葉式のCVD装置を用いればよい。また、枚葉式のCVD装置を用いない場合であっても、成膜室内に導入する半導体基板の枚数を少なくすれば、短い成膜時間でシリコン窒化膜を形成することが可能である。

【0199】

なお、第3及び第4実施形態では、シリコンと窒素とを含む化合物より成る原料ガスとしてBTBASを用いたが、かかる原料ガスはBTBASに限定されるものではなく、シリコンと窒素とを含む化合物より成る原料を広く用いることが可能である。

【0200】

また、第3及び第4実施形態では、分子中に窒素原子を複数含む化合物より成る原料としてヒドラジン化合物を用いたが、かかる原料ガスはヒドラジン化合物に限定されるものではなく、分子中に窒素原子を複数含む化合物より成る原料を広く用いることができる。例えば、分子中に窒素原子を複数含む原料として、アジド化合物を挙げることができる。アジド化合物としては、例えば、ジエチルアジド、ジメチルアジド、アジ化メチル(CH_3N_3)、アジ化エチル($\text{C}_2\text{H}_5\text{N}_3$)、ターシャルブチルアジド($\text{C}_4\text{H}_9\text{N}_3$)等を挙げることができる。

【0201】

また、第3及び第4実施形態では、ヒドラジン化合物より成る原料ガスとして、ジメチルヒドラジンを用いたが、ヒドラジン化合物はジメチルヒドラジンに限定されるものではなく、他のあらゆるヒドラジン化合物を用いることが可能である。例えば、ジメチルヒドラジン以外のヒドラジン化合物としては、例えば、ヒ

ドラジン (N_2H_4)、モノメチルヒドラジン ($(\text{CH}_3)_2\text{N}_2\text{H}_2$)、uns-ジメチルヒドラジン ($(\text{CH}_3)_2\text{N}_2\text{H}_2$)、sym-ジメチルヒドラジン ($(\text{CH}_3)_3\text{HN}_2(\text{CH}_3)\text{H}$)、トリメチルヒドラジン ($(\text{CH}_3)_2\text{N}_2(\text{CH}_3)\text{H}$)、テトラメチルヒドラジン ($(\text{CH}_3)_2\text{N}_2(\text{CH}_3)_2$)、エチルヒドラジン ($(\text{C}_2\text{H}_5)\text{HN}_2\text{H}_2$)等を挙げることができる。

【 0 2 0 2 】

また、第3実施形態では、シリコンと窒素とを含む化合物より成る原料ガスと分子中に窒素原子を複数含む化合物より成る原料とを用いて、シリコン窒化膜を形成する場合を例に説明したが、かかる原料を用いて形成する絶縁膜は、シリコン窒化膜に限定されるものではない。例えば、SiCN膜やSiOCN膜等を形成することも可能である。原料ガスとしてCを含む原料ガスを用いれば、成膜条件を適宜設定することにより、SiCN膜を形成することが可能である。また、成膜室内に酸素ガスを適宜導入すれば、SiOCN膜を形成することが可能である。

【 0 2 0 3 】

また、第3及び第4実施形態では、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域28、36及びポケット領域26、34を形成した後に、エクステンションソース／ドレイン構造の深い領域を構成する不純物拡散領域48、56を形成する場合を例に説明したが、第2実施形態による半導体装置の製造方法のように、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域28、36及びポケット領域26、34を形成する前に、エクステンションソース／ドレイン構造の深い領域を構成する不純物拡散領域48、56を形成してもよい。

【 0 2 0 4 】

また、第3実施形態では、シリコン酸化膜38とシリコン窒化膜40aとから成るサイドウォールスペーサを形成する場合を例に説明したが、シリコン窒化膜40aのみから成るサイドウォールスペーサを形成してもよい。

【 0 2 0 5 】

また、第4実施形態では、配線84の材料としてCuを用いたが、配線の材料

はCuに限定されるものではなく、他のあらゆる配線材料を適宜用いることができる。例えば、配線の材料としてAlを用いてもよい。

【0206】

また、第4実施形態では、熱CVD法によりキャップ膜74、86やストッパ膜76、80を形成したが、キャップ膜74、86やストッパ膜76、80の成膜方法は熱CVD法に限定されるものではなく、他の成膜方法を適宜用いることができる。例えば、プラズマCVD法を用いてキャップ膜74、86やストッパ膜76、80を形成してもよい。キャップ膜74、86やストッパ膜76、80を形成する際には、トランジスタ（図示せず）が層間絶縁膜72により覆われているため、プラズマCVD法を用いて成膜しても、トランジスタの電気的特性に悪影響を与えることはないためである。

【0207】

また、上記実施形態では、ポケット領域26、34を形成した後に、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域28、36を形成したが、浅い不純物拡散領域28、36を形成した後に、ポケット領域26、34を形成してもよい。

【0208】

（付記1） 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、ビスターシャルブチルアミノシランと酸素とを原料として用い、熱CVD法により、500～580℃の成膜温度で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【0209】

(付記 2) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、TEOSと酸素とを原料として用い、熱CVD法により、560～580℃の成膜温度で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【0210】

(付記 3) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、シランと亜酸化窒素とを原料として用い、熱CVD法により、600～700℃の成膜温度、15分以下の成膜時間で、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【0211】

(付記 4) 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより

、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、TEOSとオゾンとを原料として用い、熱CVD法により、480～500℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成することを特徴とする半導体装置の製造方法。

【0212】

（付記5） 半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程と、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程と、前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜を有するサイドウォールスペーサを形成する工程とを有する半導体装置の製造方法であって、

前記シリコン酸化膜を形成する工程では、ジシランと亜酸化窒素とを原料として用い、熱CVD法により、500～530℃の成膜温度、30分以下の成膜時間で、CVD法により、前記シリコン酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【0213】

（付記6） 付記1乃至5のいずれかに記載の半導体装置の製造方法において

前記シリコン酸化膜を形成する工程の後、前記サイドウォールスペーサを形成する工程の前に、前記シリコン酸化膜を覆うようにシリコン窒化膜を形成する工程を更に有し、

前記シリコン窒化膜を形成する工程では、ビスターシャルブチルアミノシランとアンモニアとを原料として用い、熱CVD法により、550～580℃の成膜温度で、前記シリコン窒化膜を形成し、

前記サイドウォールスペーサを形成する工程では、前記シリコン窒化膜及び前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部

分に前記シリコン酸化膜と前記シリコン窒化膜とを有するサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 4 】

(付記 7) 付記 1 乃至 5 のいずれかに記載の半導体装置の製造方法において

、
前記シリコン酸化膜を形成する工程の後、前記サイドウォールスペーサを形成する工程の前に、前記シリコン酸化膜を覆うようにシリコン窒化膜を形成する工程を更に有し、

前記シリコン窒化膜を形成する工程では、シランとアンモニアとを原料として用い、熱 C V D 法により、6 5 0 ~ 7 0 0 ° C の成膜温度、1 5 分以下の成膜時間で、前記シリコン窒化膜を形成し、

前記サイドウォールスペーサを形成する工程では、前記シリコン窒化膜及び前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜と前記シリコン窒化膜とを有するサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 5 】

(付記 8) 少なくともシリコンと窒素とを含む化合物より成る第 1 の原料と、分子中に窒素原子を複数含む化合物より成る第 2 の原料とを用いて、S i N、S i C N 又は S i O C N より成る絶縁膜を形成する工程を有する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 6 】

(付記 9) 付記 8 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の前に、半導体基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記ゲート電極の両側の前記半導体基板内に不純物拡散領域を形成する工程とを更に有し、

前記絶縁膜を形成する工程では、前記半導体基板上に、前記ゲート電極を覆う

ように前記絶縁膜を形成し、

前記絶縁膜を形成する工程の後に、前記絶縁膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記絶縁膜を有するサイドウォールスペーサを形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 7 】

(付記 1 0) 付記 9 記載の半導体装置の製造方法において、

前記ゲート電極の両側の前記半導体基板内に前記不純物拡散領域を形成する工程の後、前記絶縁膜を形成する工程の前に、前記半導体基板上に、前記ゲート電極を覆うようにシリコン酸化膜を形成する工程を更に有し、

前記サイドウォールスペーサを形成する工程では、前記絶縁膜及び前記シリコン酸化膜を異方性エッチングすることにより、前記ゲート電極の側壁部分に前記シリコン酸化膜と前記絶縁膜とを有するサイドウォールスペーサを形成する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 8 】

(付記 1 1) 付記 8 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の前に、半導体基板上にトランジスタを形成する工程と、前記半導体基板上に前記トランジスタを覆うように他の絶縁膜を形成する工程とを更に有し、

前記絶縁膜を形成する工程では、前記他の絶縁膜を覆うように前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【 0 2 1 9 】

(付記 1 2) 付記 1 1 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の後に、前記絶縁膜とエッチング特性が異なる更に他の絶縁膜を形成する工程と、前記更に他の絶縁膜に、前記絶縁膜に達する溝を形成する工程と、前記溝内に配線を埋め込む工程とを有する

ことを特徴とする半導体装置の製造方法。

【 0 2 2 0 】

(付記 1 3) 付記 8 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の前に、半導体基板上にトランジスタを形成する工程と、前記半導体基板上に前記トランジスタを覆うように他の絶縁膜を形成する工程と、前記他の絶縁膜の上方に、更に他の絶縁膜を形成する工程とを更に有し、

前記絶縁膜を形成する工程では、前記更に他の絶縁膜を覆うように前記絶縁膜を形成し、

前記絶縁膜を形成する工程の後に、前記絶縁膜及び前記更に他の絶縁膜に溝を形成する工程と、前記溝内及び前記絶縁膜上に導電膜を形成する工程と、前記導電膜を前記絶縁膜が露出するまで研磨し、前記溝内に前記導電膜より成る配線を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 2 1 】

(付記 1 4) 付記 8 記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程の前に、半導体基板上にトランジスタを形成する工程と、前記半導体基板上に前記トランジスタを覆うように他の絶縁膜を形成する工程と、前記他の絶縁膜の上方に、更に他の絶縁膜を形成する工程と、前記更に他の絶縁膜に配線を埋め込む工程とを更に有し、

前記絶縁膜を形成する工程では、前記更に他の絶縁膜上及び前記配線上に前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【 0 2 2 2 】

(付記 1 5) 付記 9 乃至 1 4 のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程では、熱 C V D 法により前記絶縁膜を形成することを特徴とする半導体装置の製造方法。

【 0 2 2 3 】

(付記 1 6) 付記 1 1 乃至 1 4 のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程では、プラズマCVD法により前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0224】

(付記17) 付記8乃至16のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程では、 NH_3 より成る第3の原料を更に用いて、前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0225】

(付記18) 付記8乃至17のいずれかに記載の半導体装置の製造方法において、

前記第1の原料は、ビスターシャルブチルアミノシランである

ことを特徴とする半導体装置の製造方法。

【0226】

(付記19) 付記8乃至18のいずれかに記載の半導体装置の製造方法において、

前記第2の原料は、ヒドラジン化合物又はアジド化合物である

ことを特徴とする半導体装置の製造方法。

【0227】

(付記20) 付記8乃至19のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を形成する工程では、 550°C 以下の成膜温度で前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0228】

(付記21) 付記1乃至7、9及び10のいずれかに記載の半導体装置の製造方法において、

前記サイドウォールスペーサを形成する工程の後に、前記ゲート電極と前記サ

イドウォールスペーサとをマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記不純物拡散領域よりキャリア濃度が高く深い他の不純物拡散領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 2 9 】

(付記 2 2) 付記 1 乃至 7、9 及び 1 0 のいずれかに記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後、前記不純物拡散領域を形成する工程の前に、前記ゲート電極の側壁部分に他のサイドウォールスペーサを形成する工程と、前記ゲート電極と前記他のサイドウォールスペーサとをマスクとして前記半導体基板内にドーパント不純物を導入することにより、前記不純物拡散領域よりキャリア濃度が高く深い他の不純物拡散領域を形成する工程と、前記他のサイドウォールスペーサをエッチング除去する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 3 0 】

(付記 2 3) 付記 1 乃至 7 のいずれかに記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後で前記不純物拡散領域を形成する工程の前に、又は、前記不純物拡散領域を形成する工程の後でシリコン酸化膜を形成する工程の前に、前記不純物拡散領域に隣接するように、前記不純物拡散領域と反対の導電型のポケット領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 3 1 】

(付記 2 4) 付記 9 又は 1 0 記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後で前記不純物拡散領域を形成する工程の前に、又は、前記不純物拡散領域を形成する工程の後で前記絶縁膜を形成する工程の前に、前記不純物拡散領域に隣接するように、前記不純物拡散領域と反対の導電型のポケット領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 2 3 2 】

【発明の効果】

以上の通り、本発明によれば、BTBASと O_2 とを原料として用い、500～580℃という比較的低い成膜温度で、サイドウォールスペーサを構成するシリコン酸化膜を熱CVD法により形成する。また、本発明によれば、TEOSと O_2 とを原料として用い、560～580℃の成膜温度で、シリコン酸化膜を熱CVD法により形成する。シリコン酸化膜を比較的低い温度で成膜するため、エクステンションソース／ドレイン構造の浅い領域を構成する不純物拡散領域及びポケット領域においてドーパント不純物が拡散してしまうのを抑制することができる。

【 0 2 3 3 】

また、本発明によれば、シランと亜酸化窒素とを原料として用い、600～700℃の成膜温度、15分以下の成膜時間で、サイドウォールスペーサを構成するシリコン酸化膜を熱CVD法により形成する。成膜時間が比較的短いため、浅い不純物拡散領域及びポケット領域におけるドーパント不純物の拡散を抑制することが可能である。

【 0 2 3 4 】

また、本発明によれば、TEOSと O_3 とを原料として用い、480～500℃の成膜温度、30分以下の成膜時間で、サイドウォールスペーサを構成するシリコン酸化膜を熱CVD法により形成する。また、本発明によれば、ジシランと N_2O とを原料として用い、500～530℃の成膜温度、30分以下の成膜時間で、シリコン酸化膜を熱CVD法により形成する。成膜温度が比較的低いのみならず、成膜時間も短いため、浅い不純物拡散領域及びポケット領域における不純物の拡散をより抑制することが可能となる。

【 0 2 3 5 】

また、本発明によれば、BTBASと NH_3 とを原料として用い、550～580℃という比較的低い成膜温度で、サイドウォールスペーサを構成するシリコン窒化膜を熱CVD法により形成する。シリコン窒化膜を比較的低い温度で成膜するため、エクステンションソース／ドレイン構造の浅い領域を構成する不純物

拡散領域及びポケット領域においてドーパント不純物が拡散してしまうのを抑制することができる。

【 0 2 3 6 】

また、本発明によれば、シランと NH_3 とを原料として用い、 $650\sim700$ ℃の成膜温度、15分以下の成膜時間で、サイドウォールスペーサを構成するシリコン窒化膜を熱CVD法により形成する。成膜時間が比較的短いため、エクステンションソース／ドレインの浅い領域を構成する不純物拡散領域及びポケット領域におけるドーパント不純物の拡散を抑制することができる。

【 0 2 3 7 】

また、本発明によれば、シリコンと窒素とを含む化合物より成る原料と、分子中に窒素原子を複数含む化合物より成る原料とを用いて、シリコン窒化膜を形成するため、シリコン窒化膜を比較的低い成膜温度で形成することができる。このため、本実施形態によれば、エクステンションソース／ドレイン構造の浅い不純物拡散領域及びポケット領域におけるドーパント不純物の拡散を抑制することができる。このため、短チャネル効果及びトランジスタの電流駆動力の低下を防止することができ、またロールオフ耐性を向上することができる。従って、本発明によれば、良好な電気的特性を有する微細な半導体装置を提供することができる。

【 0 2 3 8 】

また、本発明によれば、比較的低い温度で SiN 、 SiCN 又は SiOCN より成るキャップ膜やストッパ膜を熱CVD法やプラズマCVD法により形成することができるため、キャップ膜やストッパ膜を形成する際に用いる半導体製造装置とサイドウォールスペーサを形成する際に用いられる半導体製造装置とを兼ねることができる。このため、本発明によれば、設備投資費用を低減することができる。また、プロセスの単純化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 5】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 6】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 7】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 8】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 9】

PMOS トランジスタにおける B の濃度分布を示すグラフである。

【図 10】

NMOS トランジスタにおける A s の濃度分布を示すグラフである。

【図 11】

NMOS トランジスタにおけるゲート長としきい値電圧との関係を示すグラフである。

【図 12】

PMOSトランジスタにおける $I_{on} - I_{off}$ 特性を示すグラフである。

【図 1 3】

本発明の第 1 実施形態の変形例による半導体装置の製造方法を示す工程断面図である。

【図 1 4】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 5】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 6】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 7】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 1 8】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 1 9】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 2 0】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 2 1】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 2 2】

本発明の第 2 実施形態の変形例による半導体装置の製造方法を示す工程断面図である。

【図 2 3】

B T B A S と NH_3 とを原料ガスとして用いてシリコン窒化膜を成膜する際の成膜メカニズムを示す概念図である。

【図 2 4】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図である。

【図 2 5】

シリコン窒化膜の成膜速度を示すグラフである。

【図 2 6】

シリコン窒化膜の成膜温度と屈折率との関係を示すグラフである。

【図 2 7】

原料ガスの流量比とシリコン窒化膜の屈折率との関係を示すグラフである。

【図 2 8】

シリコン酸化膜の比誘電率を示すグラフである。

【図 2 9】

本発明の第 3 実施形態の変形例による半導体装置の製造方法を示す工程断面図である。

【図 3 0】

シリコン窒化膜におけるリーク電流特性を示すグラフである。

【図 3 1】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3 2】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 3 3】

本発明の第 4 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【符号の説明】

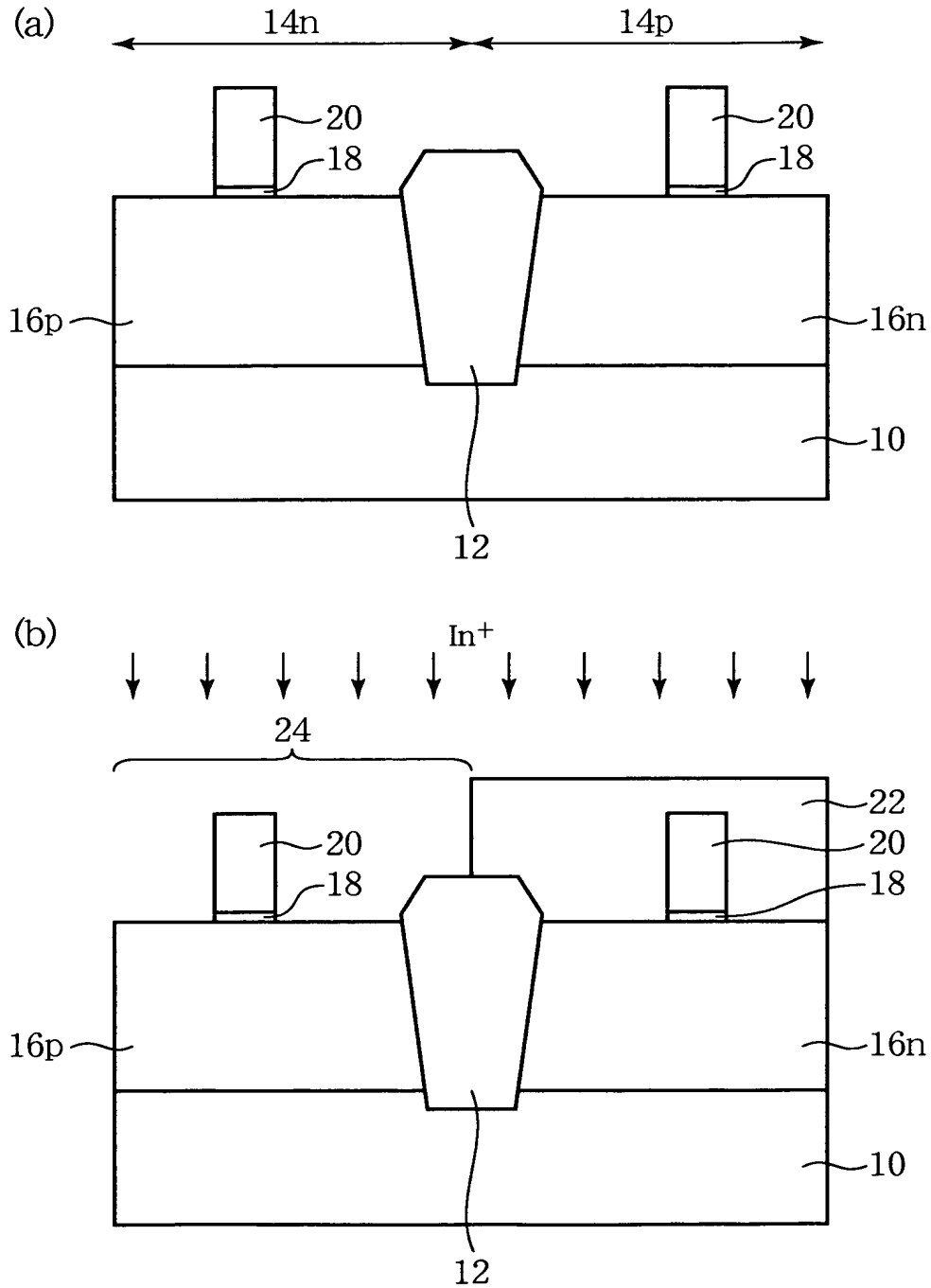
- 1 0 …半導体基板
- 1 2 …素子分離領域
- 1 4 n …NMOS トランジスタが形成される領域
- 1 4 p …PMOS トランジスタが形成される領域
- 1 6 n …n 形ウェル
- 1 6 p …p 形ウェル
- 1 8 …ゲート絶縁膜
- 2 0 …ゲート電極
- 2 2 …フォトレジスト膜
- 2 4 …開口部
- 2 6 …ポケット領域
- 2 8 …不純物拡散領域
- 3 0 …フォトレジスト膜
- 3 2 …開口部
- 3 4 …ポケット領域
- 3 6 …不純物拡散領域
- 3 8 …シリコン酸化膜
- 4 0、4 0 a、4 0 b …シリコン窒化膜
- 4 2、4 2 a …サイドウォールスペーサ
- 4 4 …フォトレジスト膜
- 4 6 …開口部
- 4 8 …不純物拡散領域
- 5 0 …ソース／ドレイン拡散層
- 5 2 …フォトレジスト膜
- 5 4 …開口部
- 5 6 …不純物拡散領域
- 5 8 …ソース／ドレイン拡散層
- 6 0 …金属膜

6 2 …ソース／ドレイン電極
6 4 n …NMOS トランジスタ
6 4 p …PMOS トランジスタ
6 6 …シリコン酸化膜
6 8 …シリコン窒化膜
7 0 …サイドウォールスペーサ
7 2 …層間絶縁膜
7 4 …キャップ膜
7 6 …ストッパ膜
7 8 …層間絶縁膜
8 0 …ストッパ膜
8 2 …溝
8 4 …配線
8 6 …キャップ膜
8 8 …層間絶縁膜

【書類名】 図面

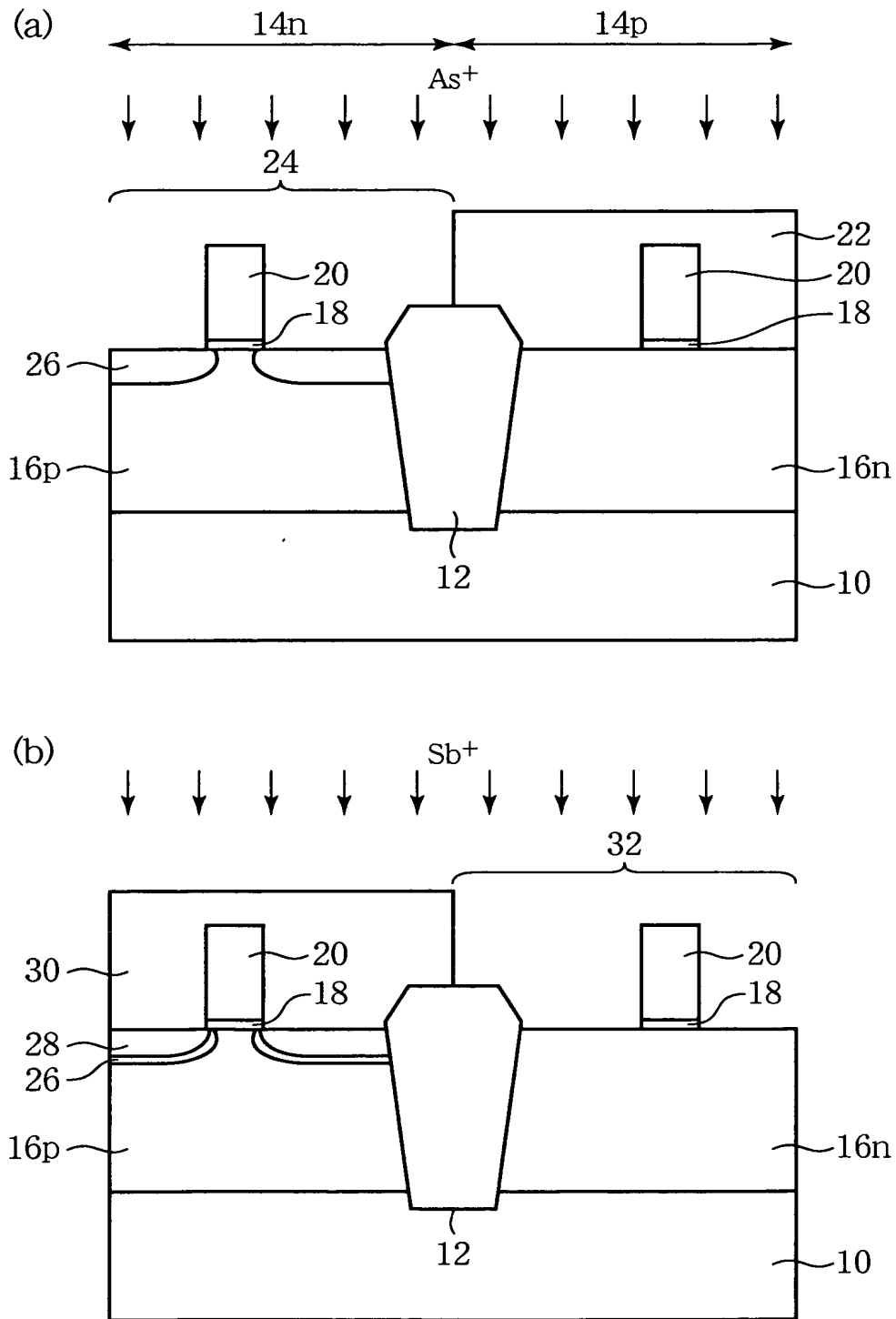
【図 1】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



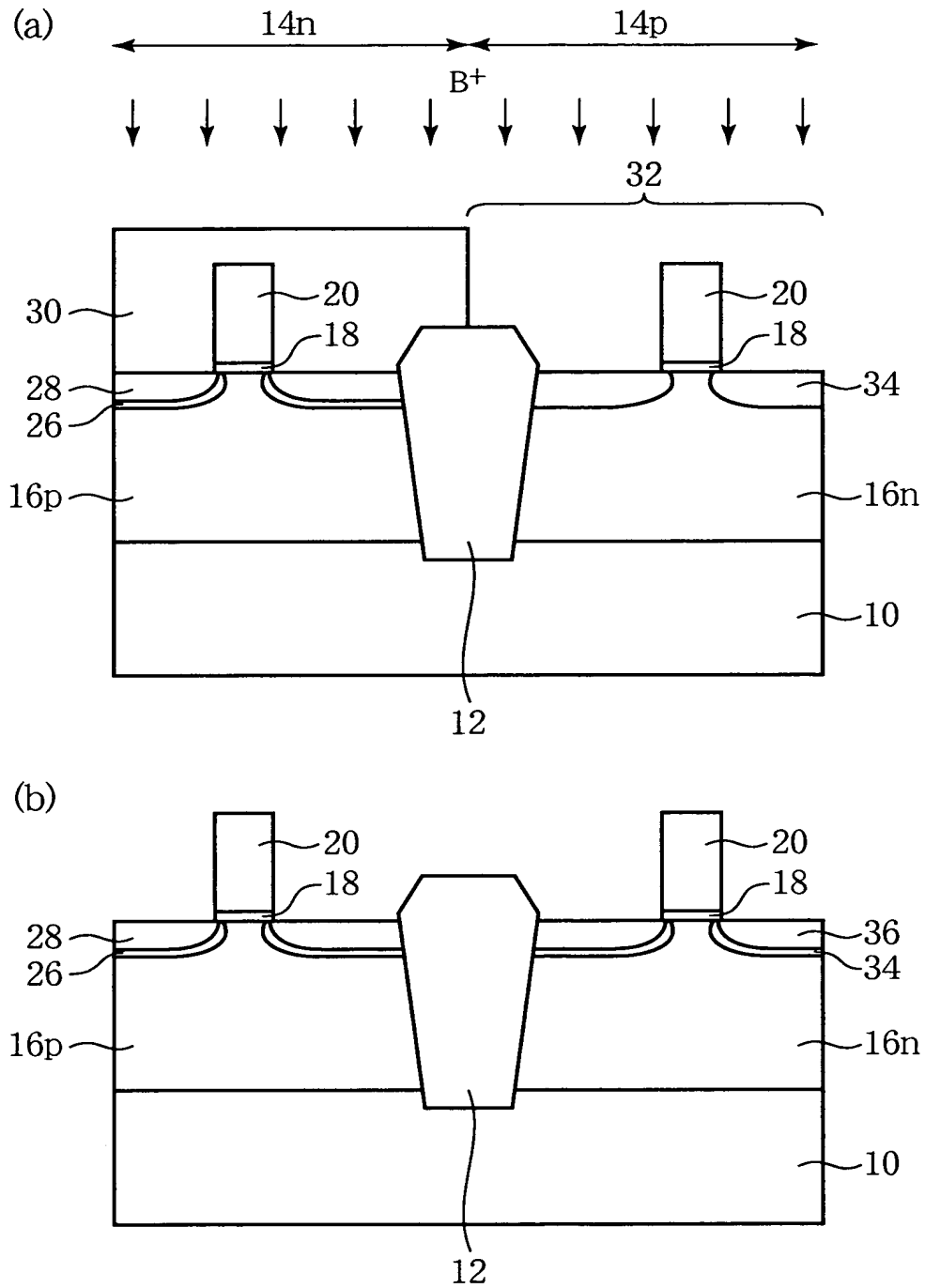
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



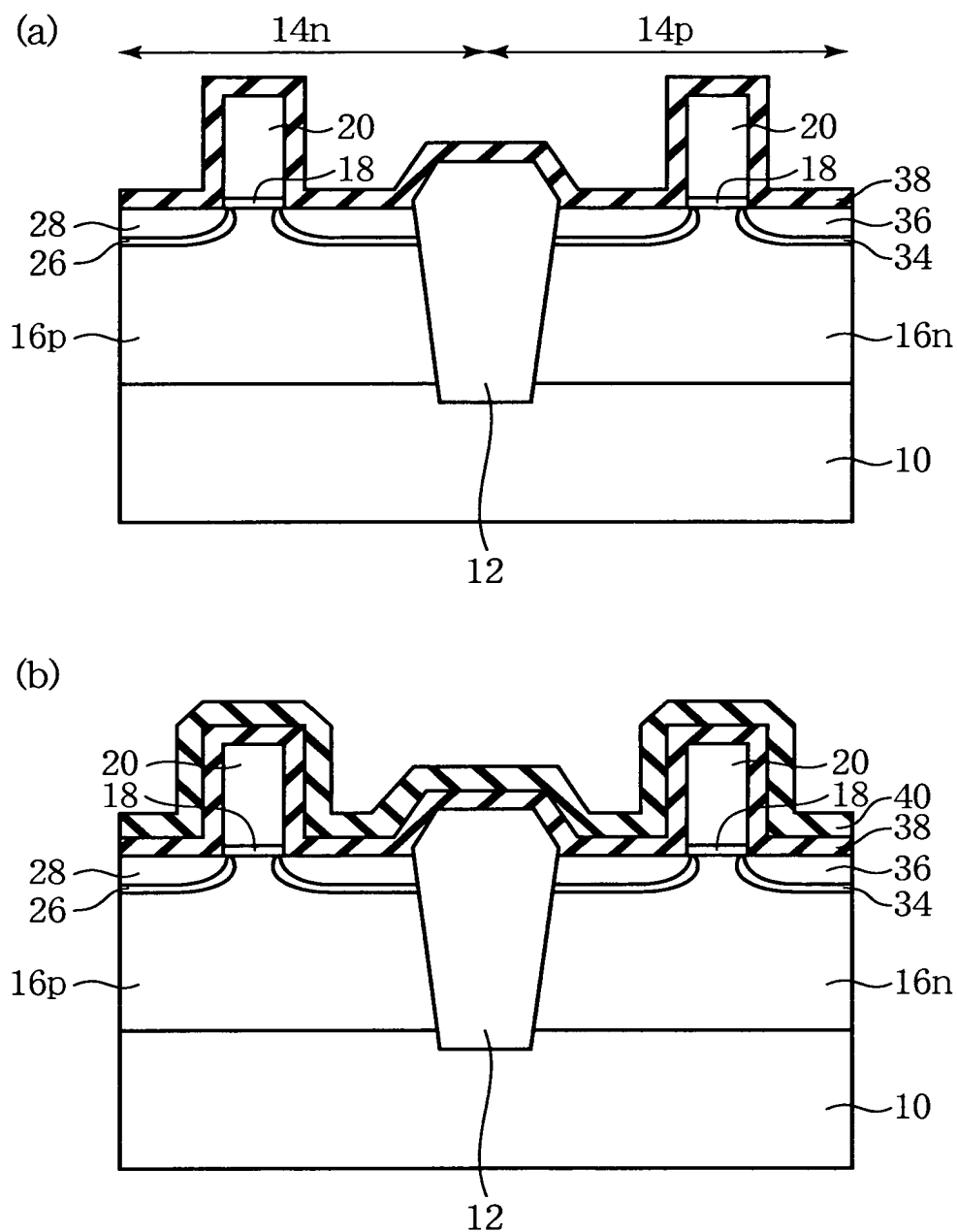
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



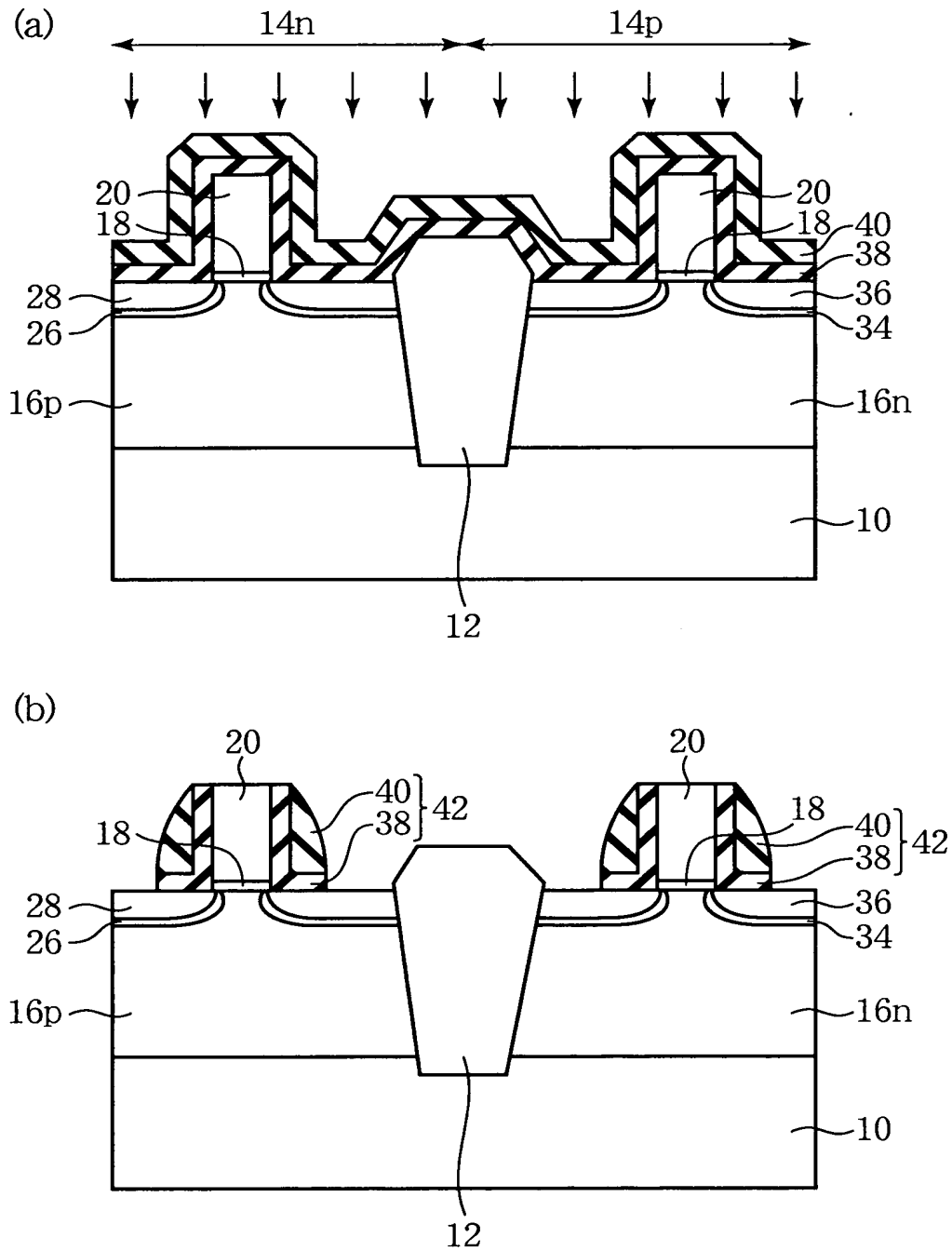
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)



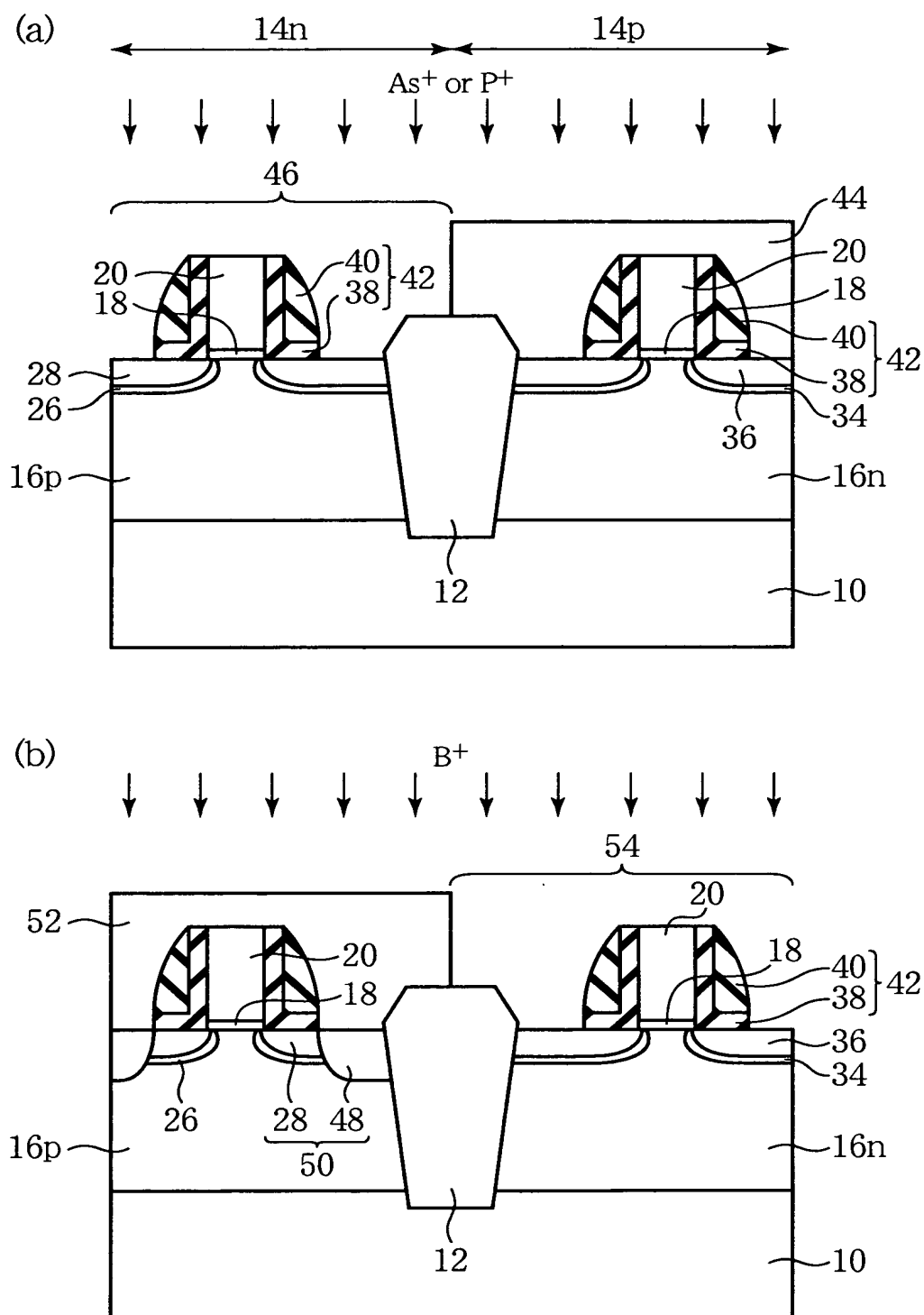
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その5)



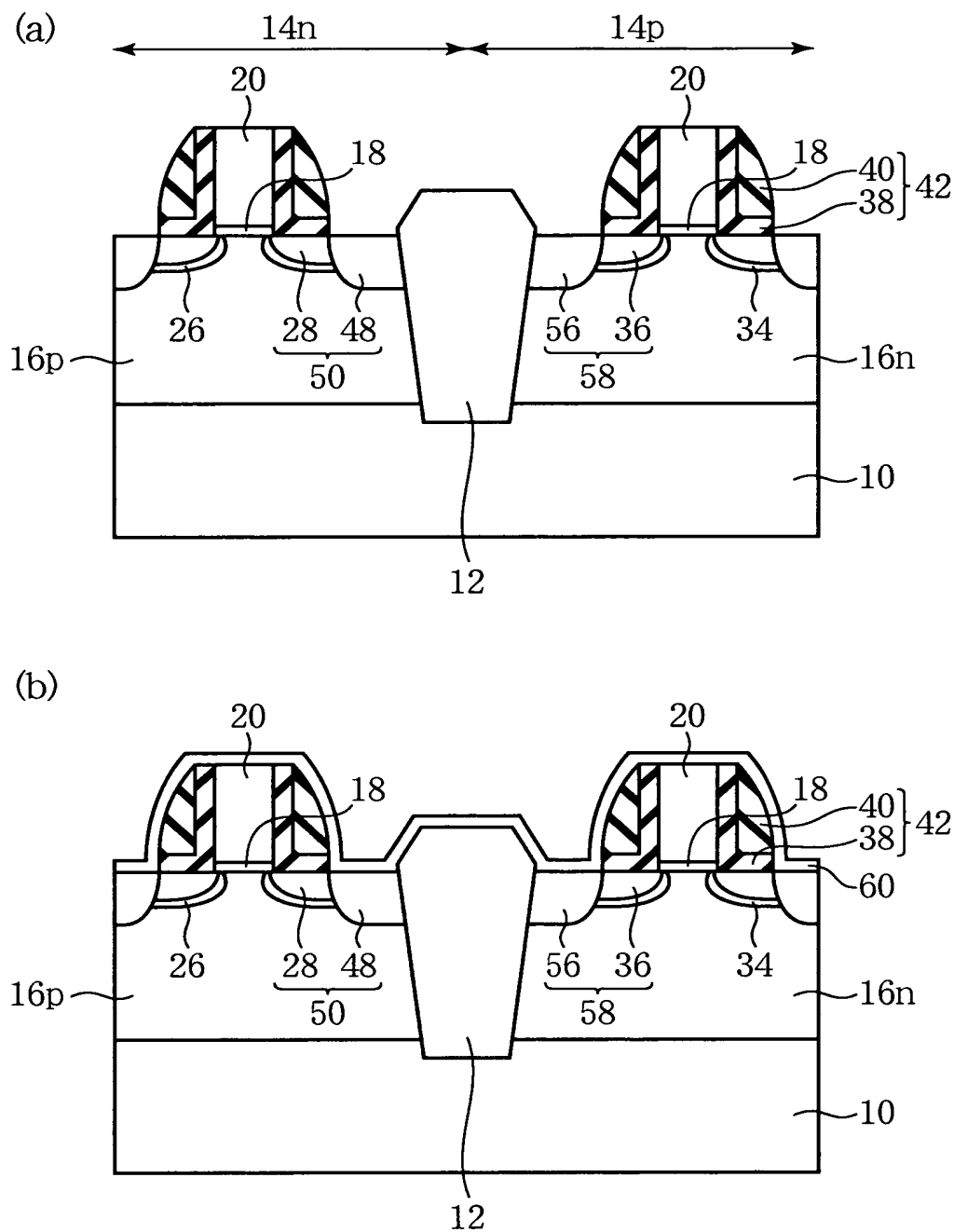
【図 6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その6)



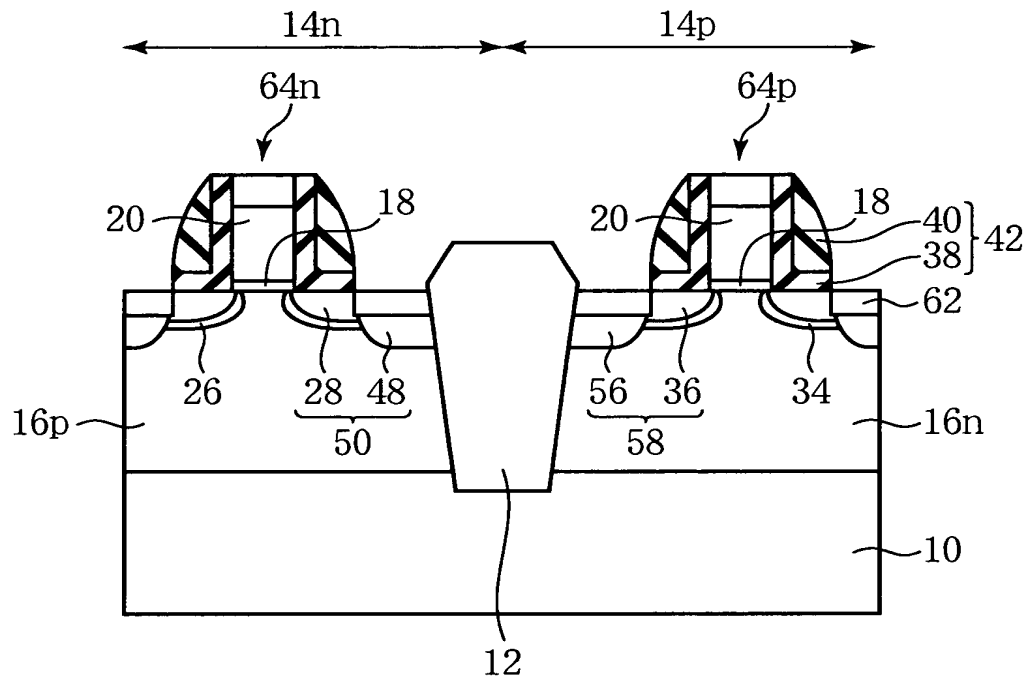
【図 7】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その7)



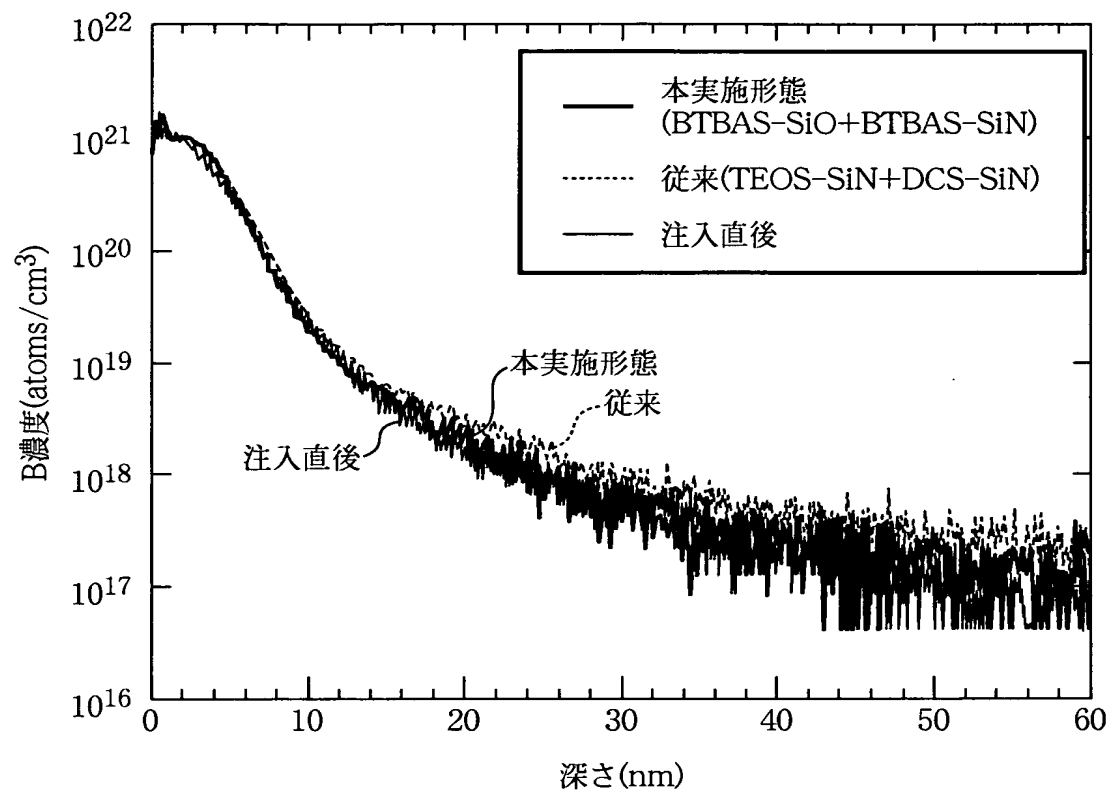
【图 8】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その8)



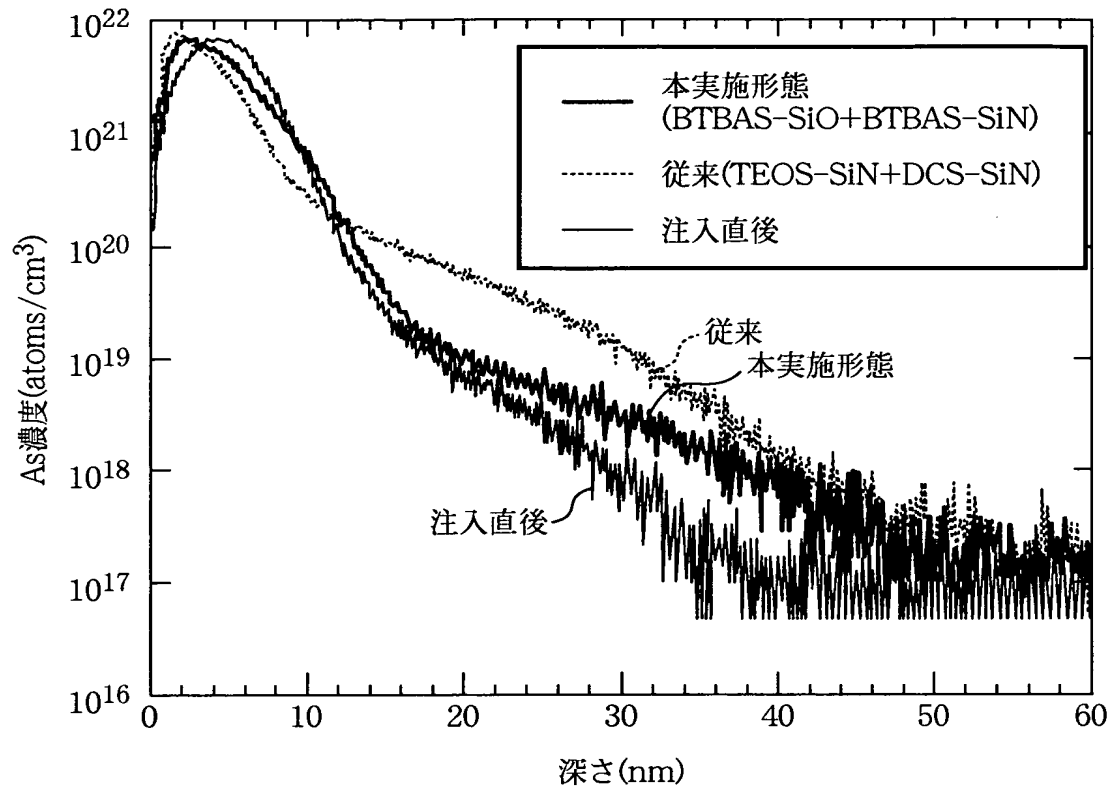
【図 9】

PMOSトランジスタにおけるBの濃度分布を示すグラフ



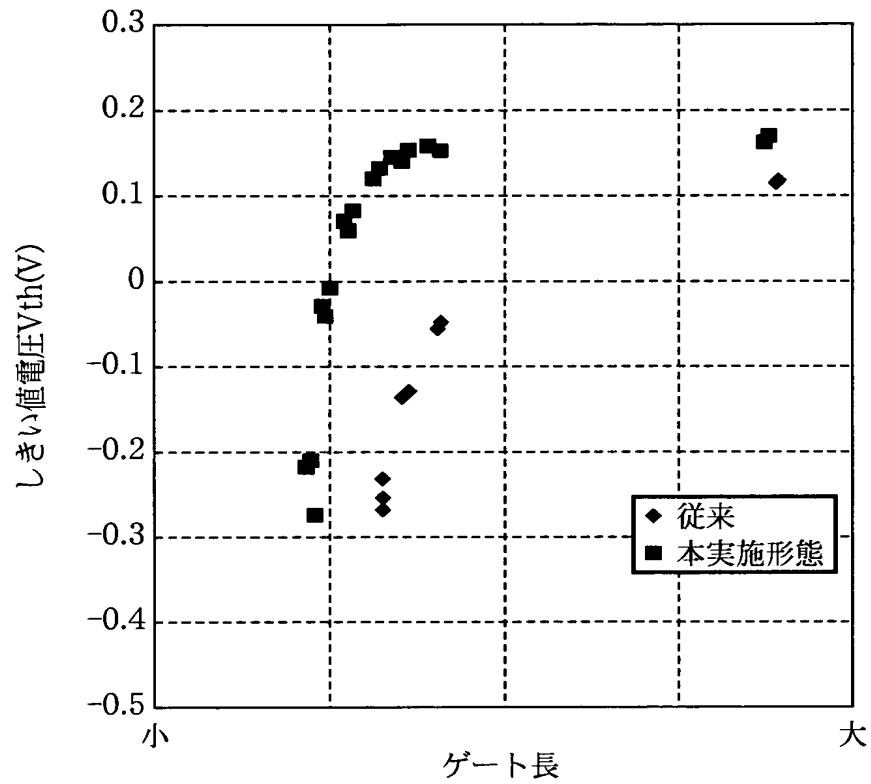
【図 1 0】

NMOSトランジスタにおけるAsの濃度分布を示すグラフ



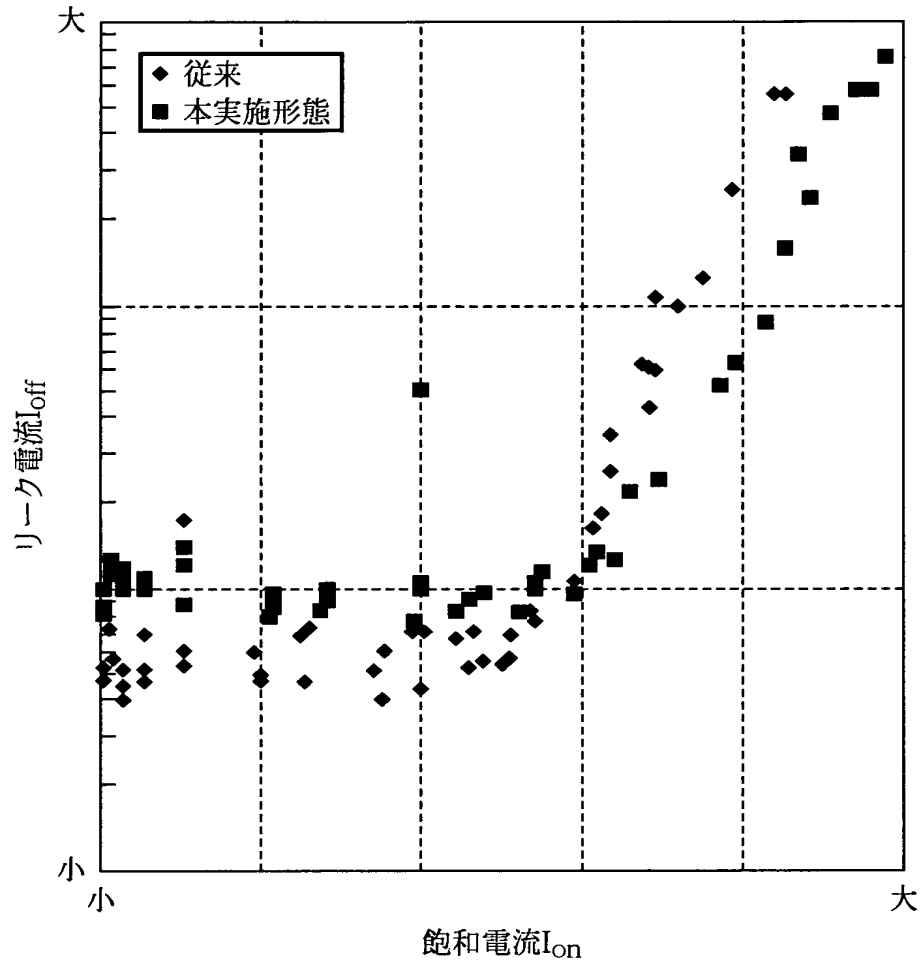
【図 1 1】

NMOSトランジスタにおけるゲート長としきい値電圧との関係を示すグラフ



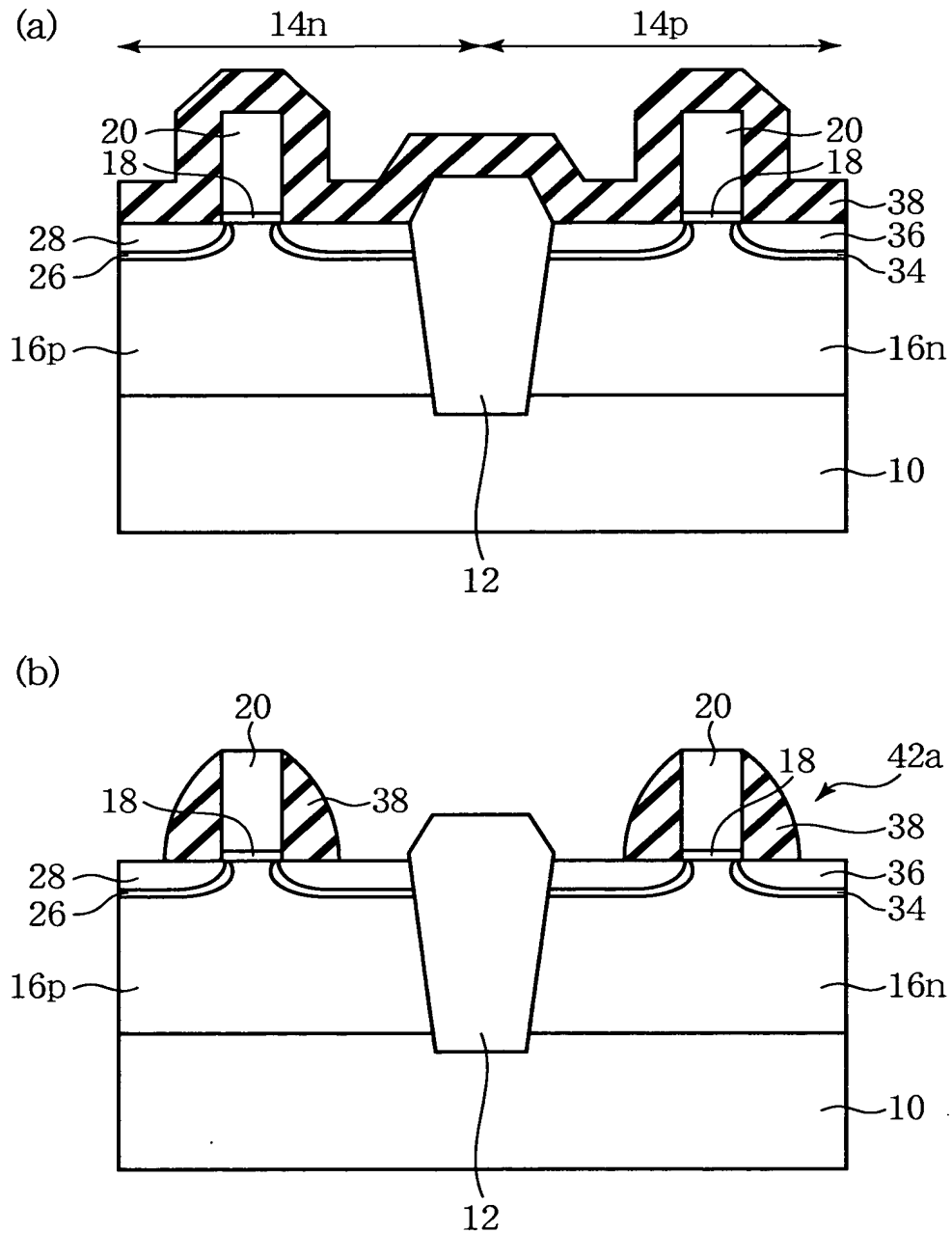
【図 1 2】

PMOSトランジスタにおける I_{on} - I_{off} 特性を示すグラフ



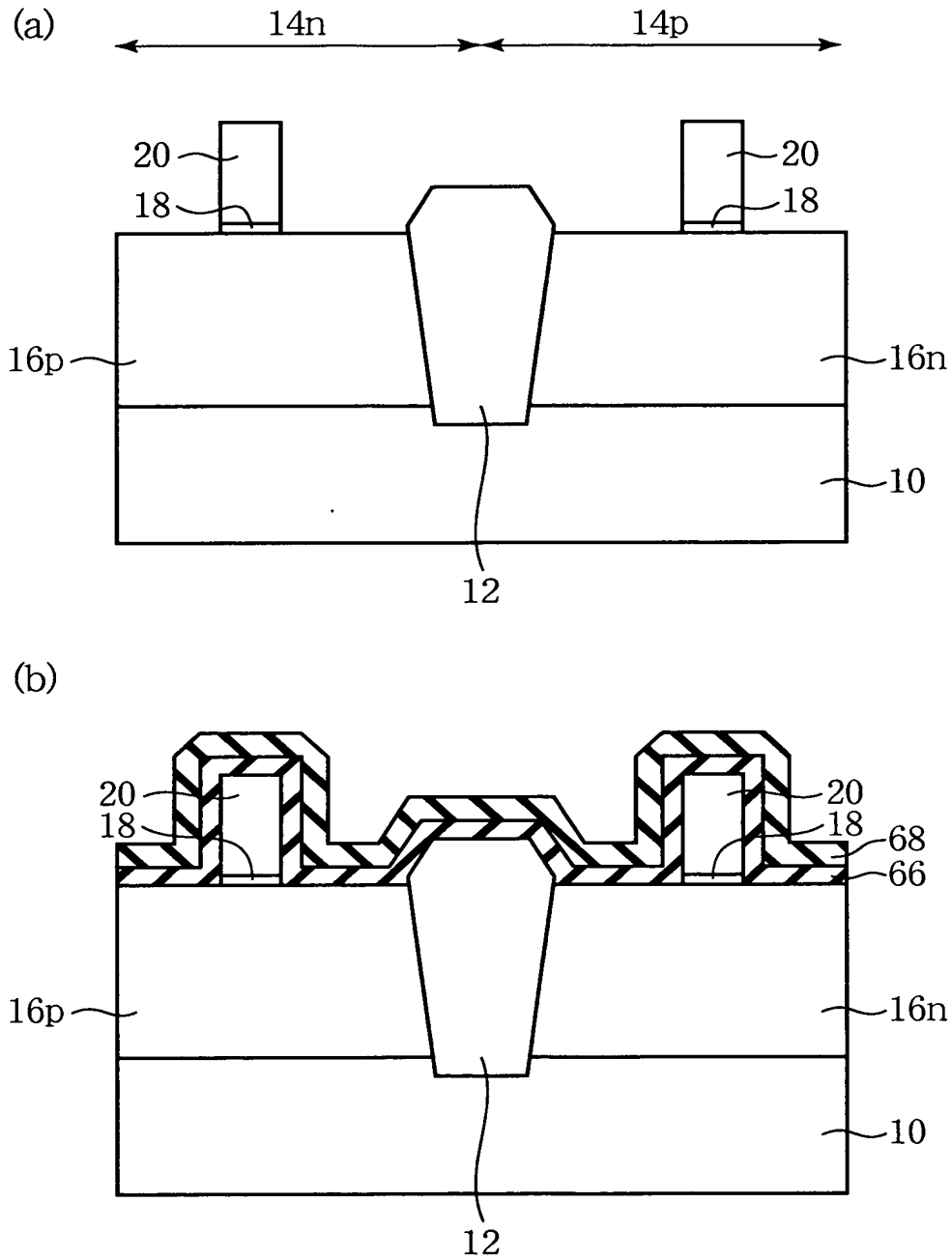
【図 1 3】

本発明の第1実施形態の変形例による半導体装置の製造方法を示す
工程断面図



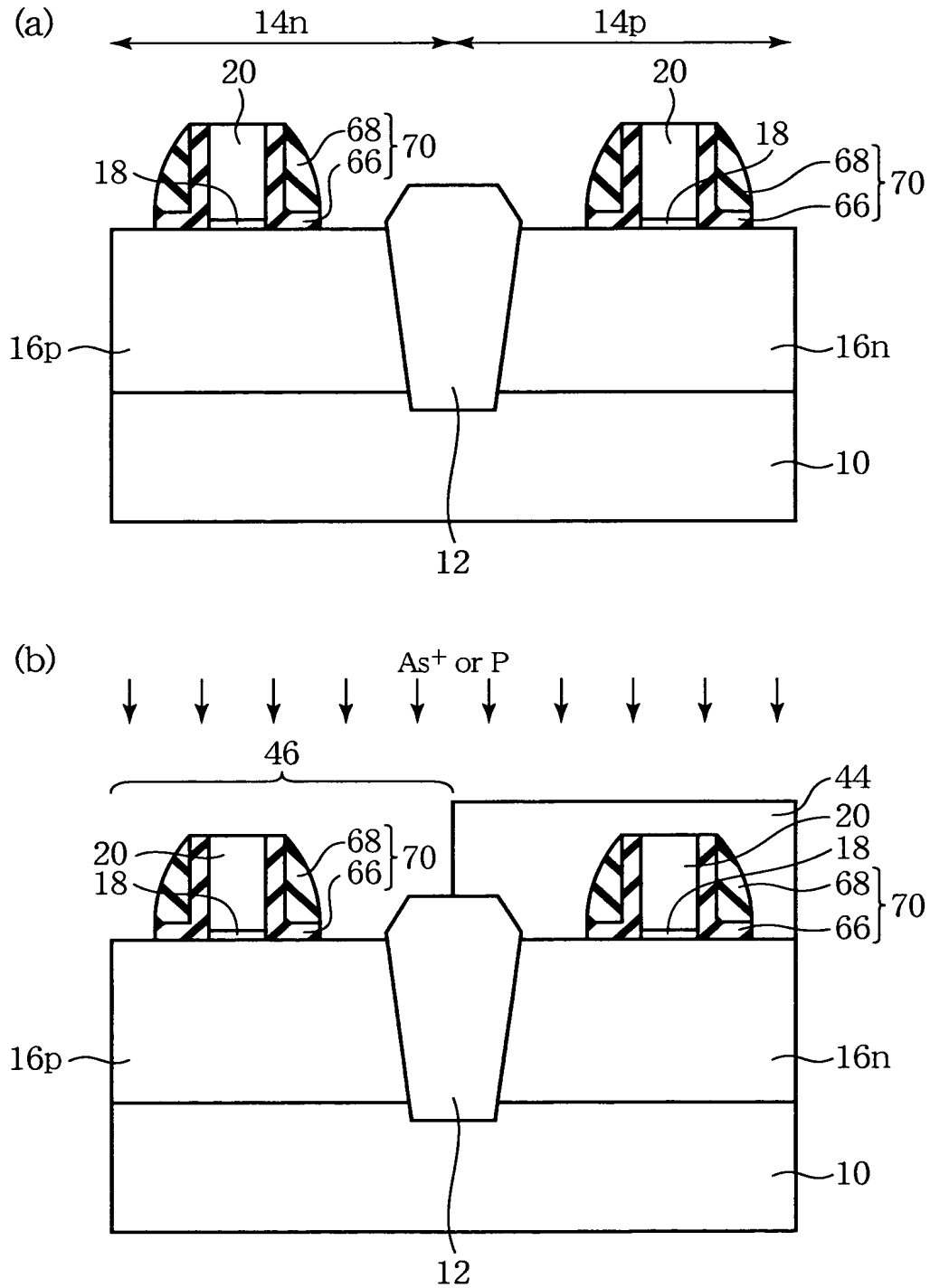
【図 1 4】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)



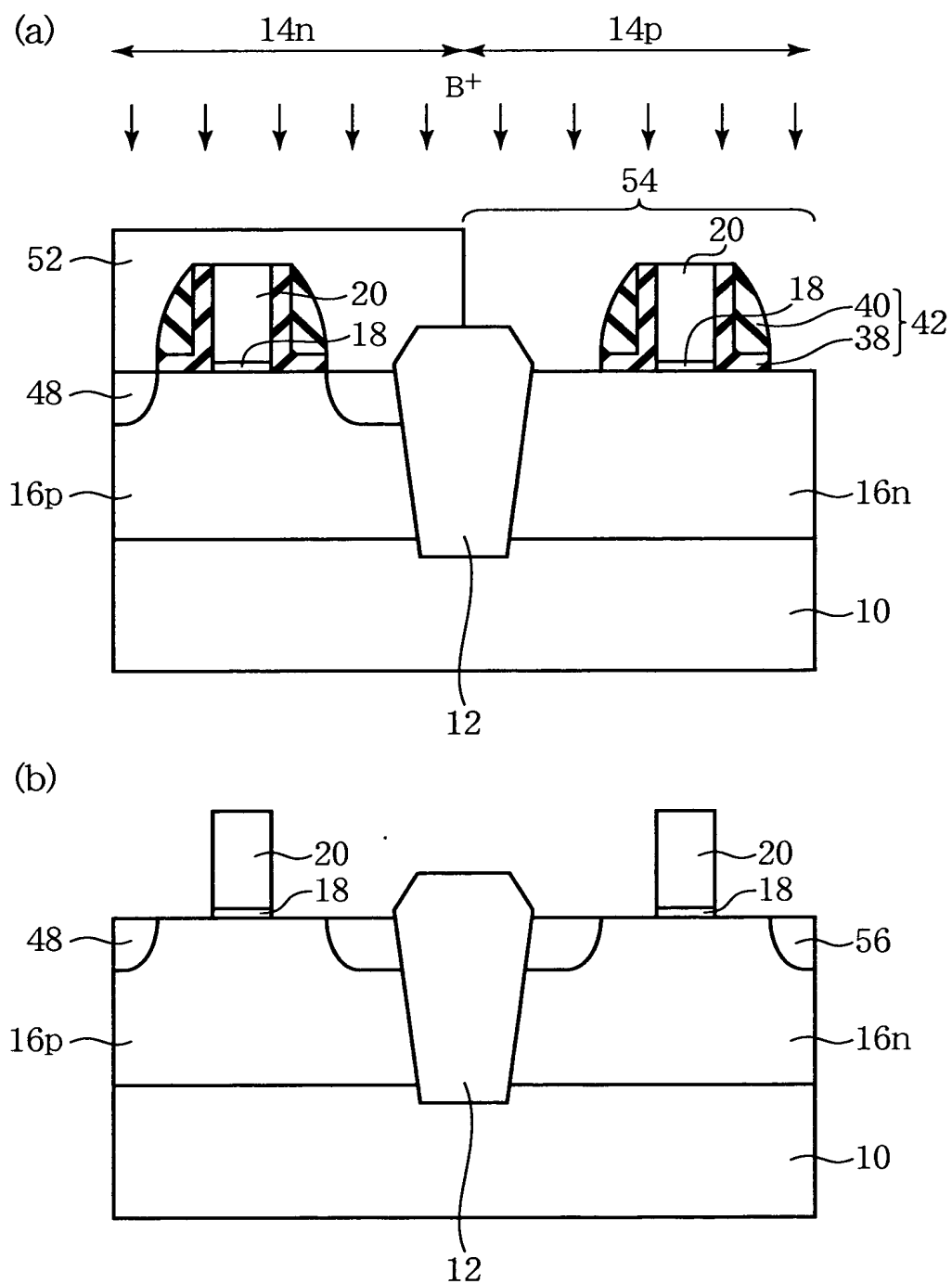
【図 1 5】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)



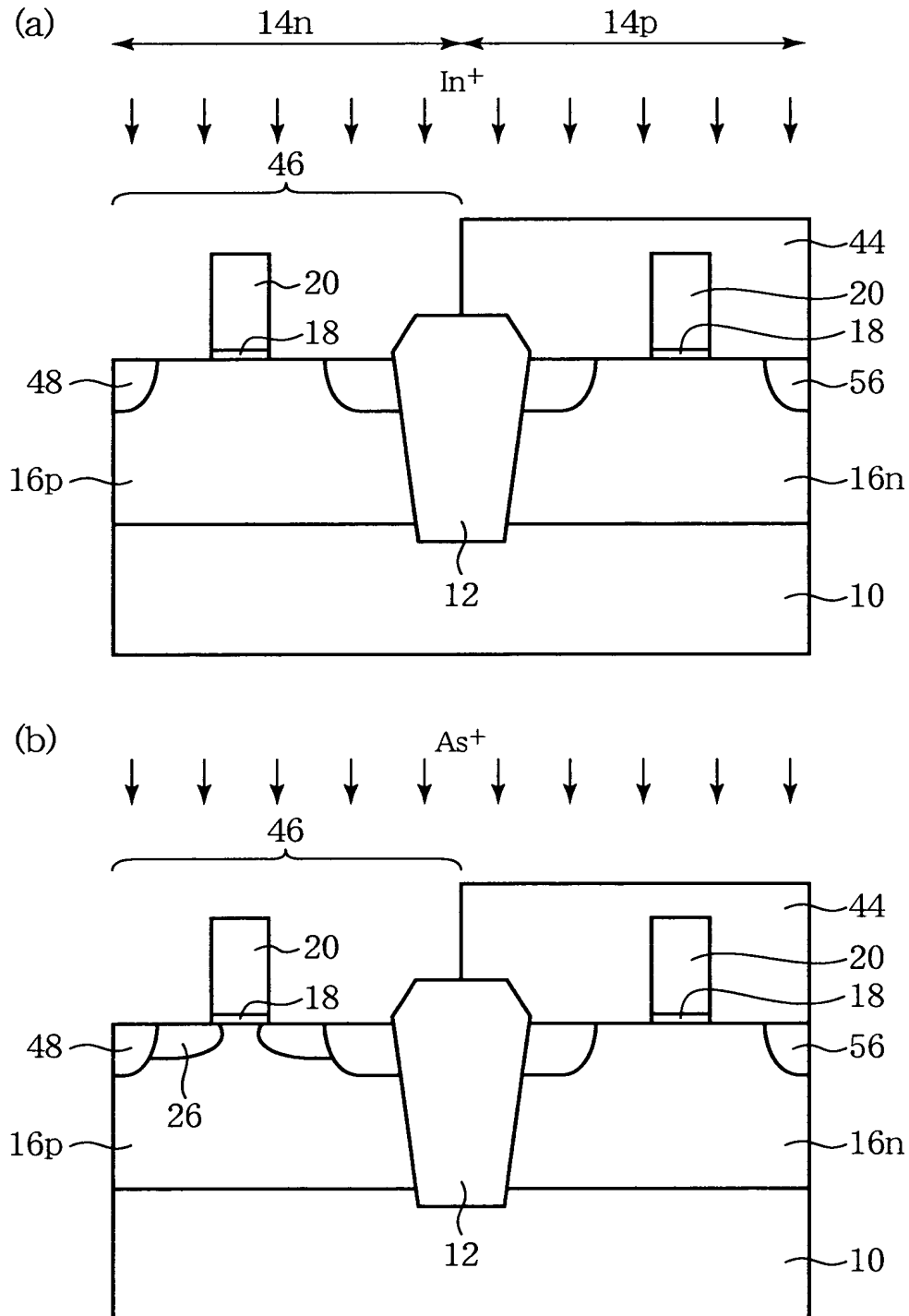
【図 1 6】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その3)



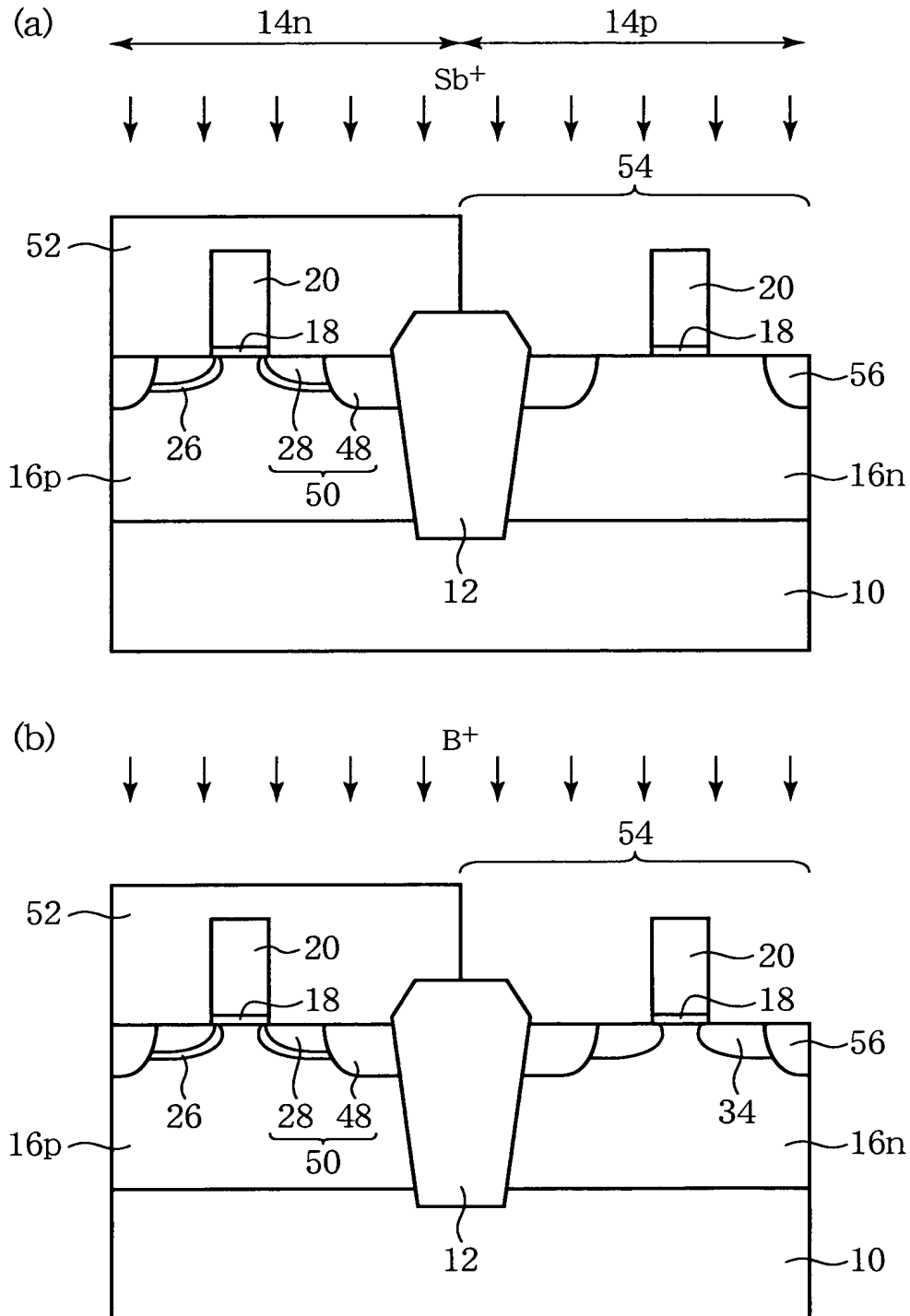
【図 1 7】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その4)



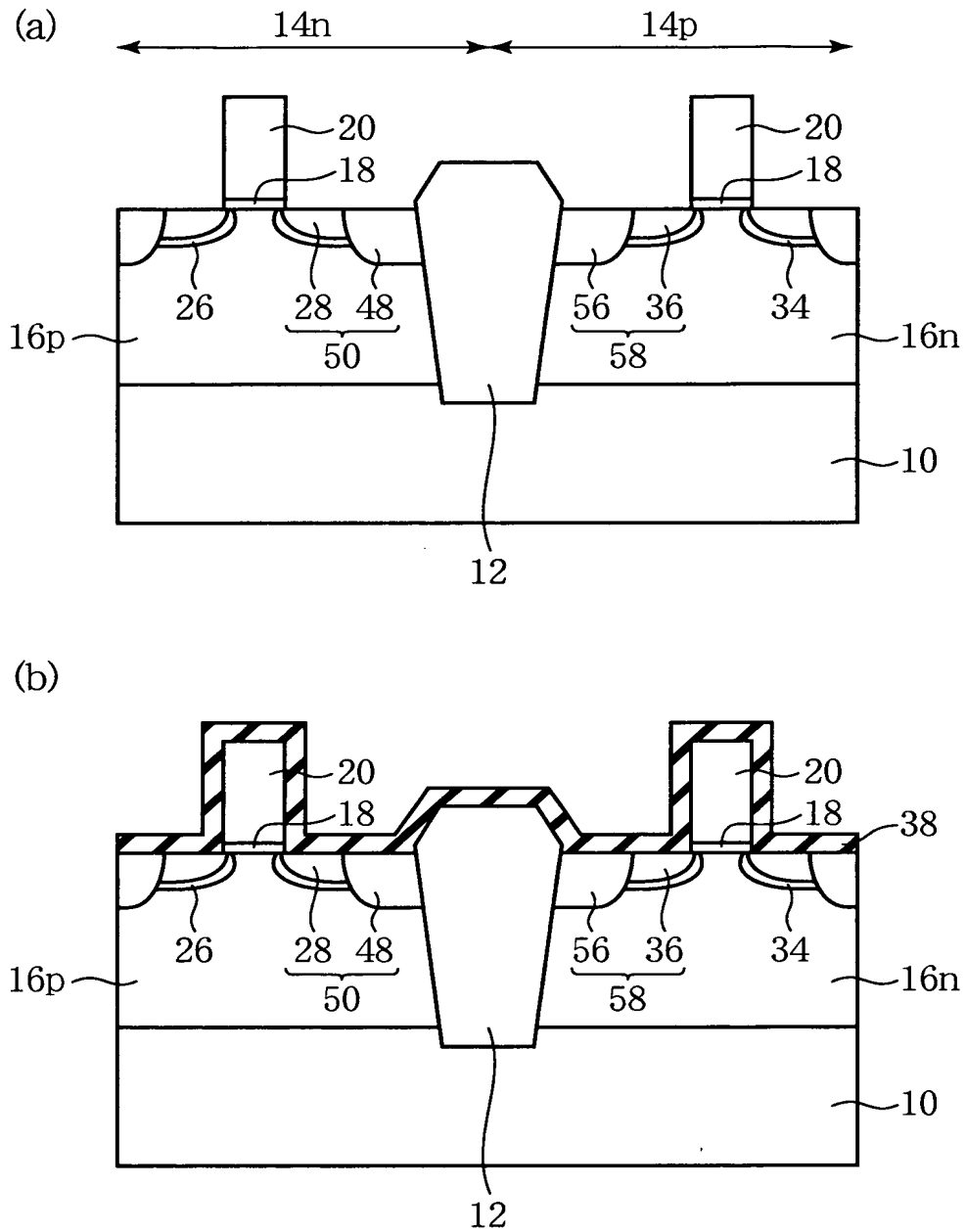
【図 1 8】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その5)



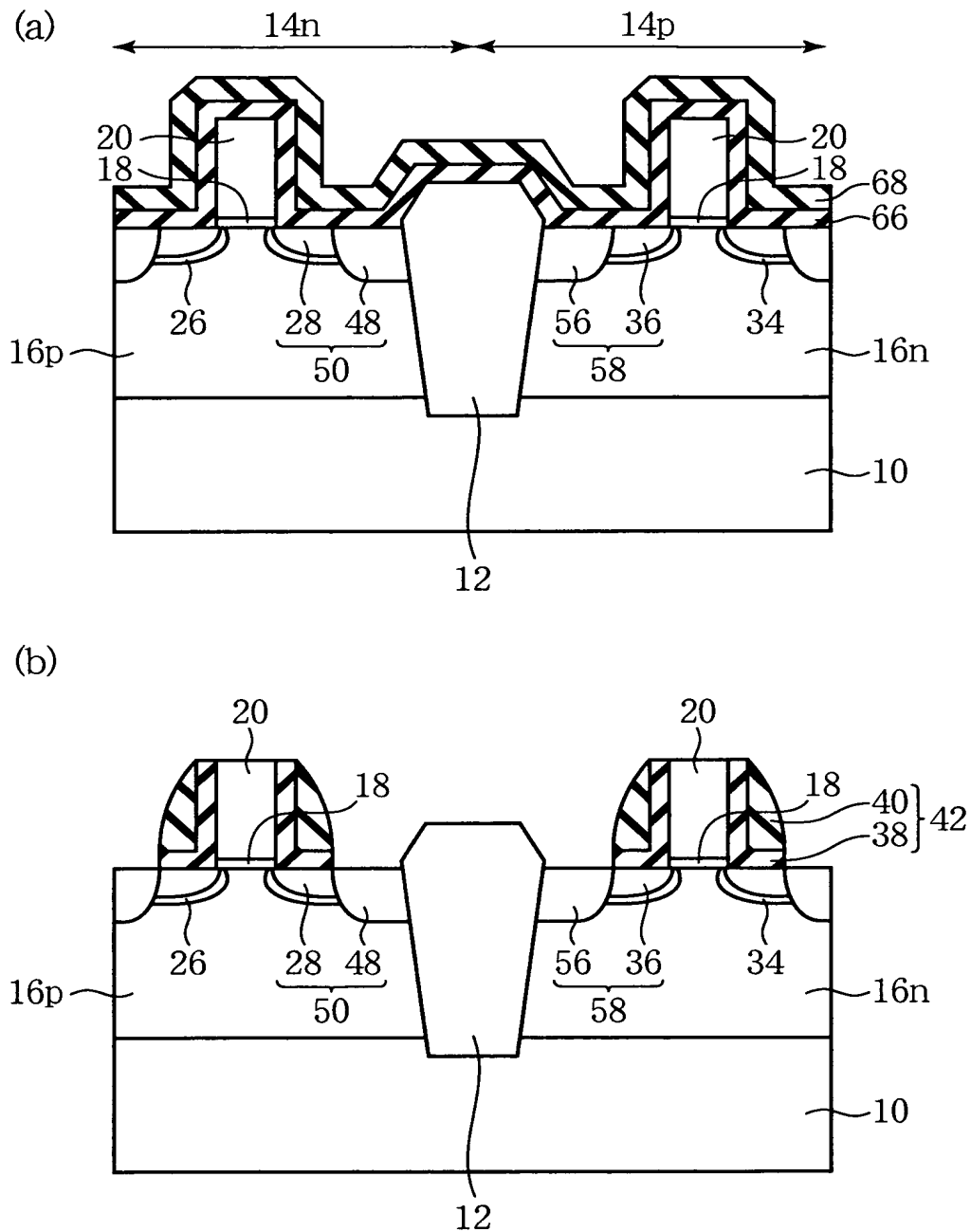
【図 1 9】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その6)



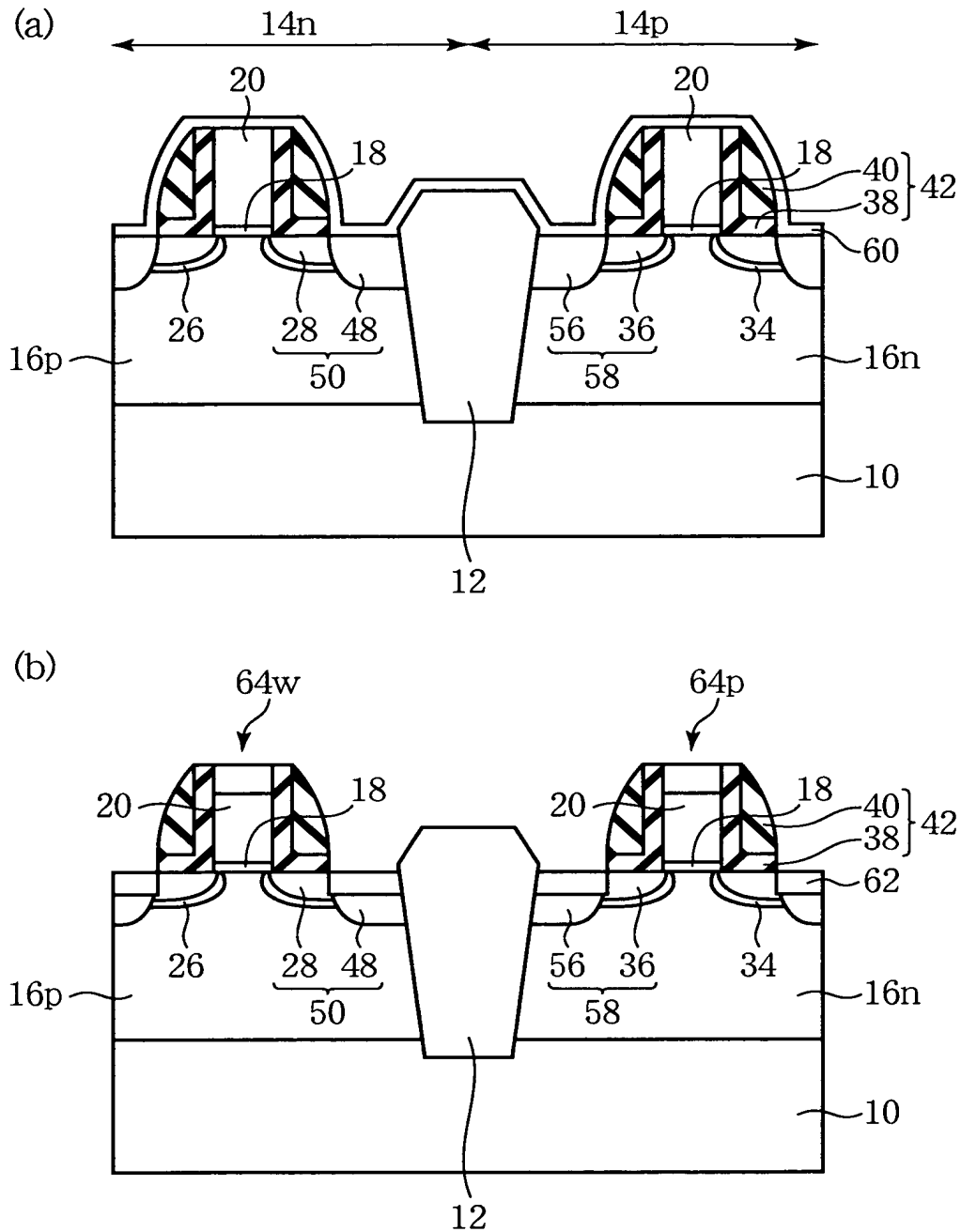
【図 20】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その7)



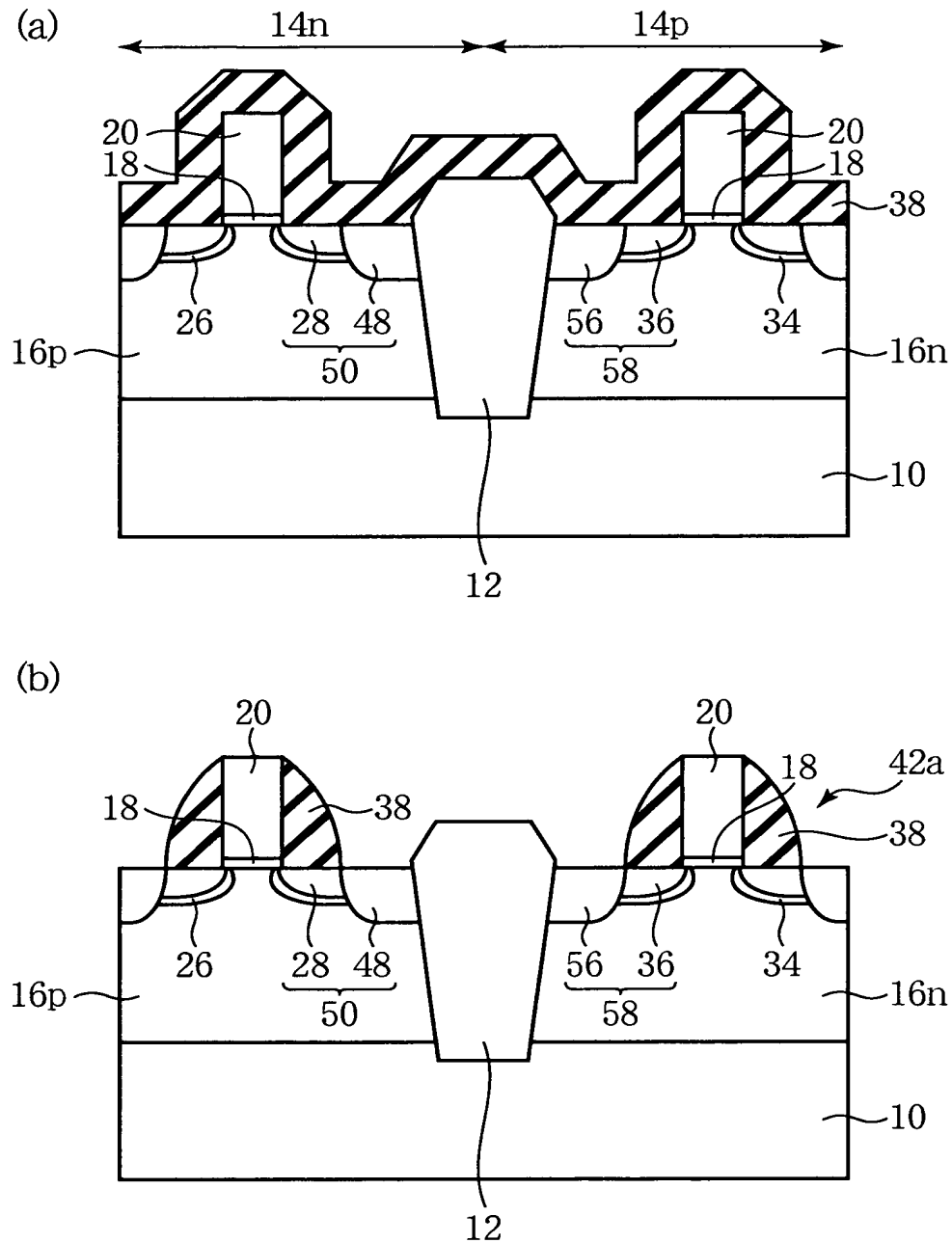
【図 2 1】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その8)



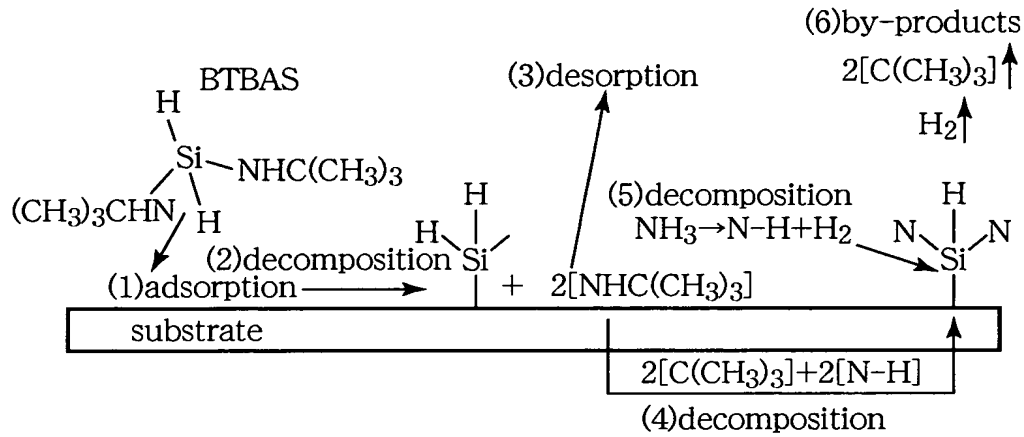
【図 2 2】

本発明の第2実施形態の変形例による半導体装置の製造方法を示す
工程断面図



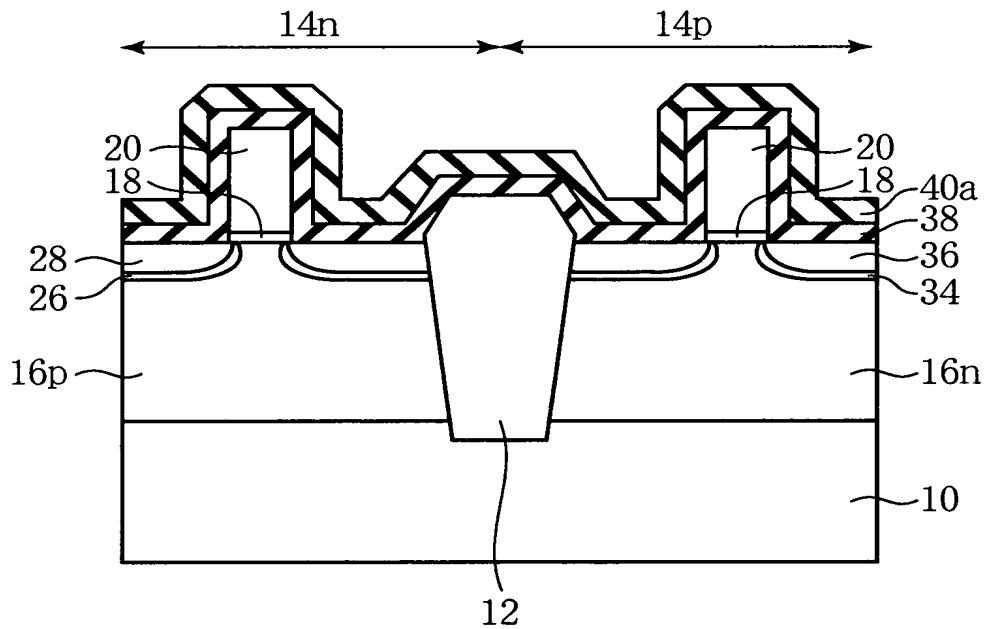
【図 2 3】

BTBASとNH₃とを原料ガスとして用いてシリコン窒化膜を成膜する際の成膜メカニズムを示す概念図



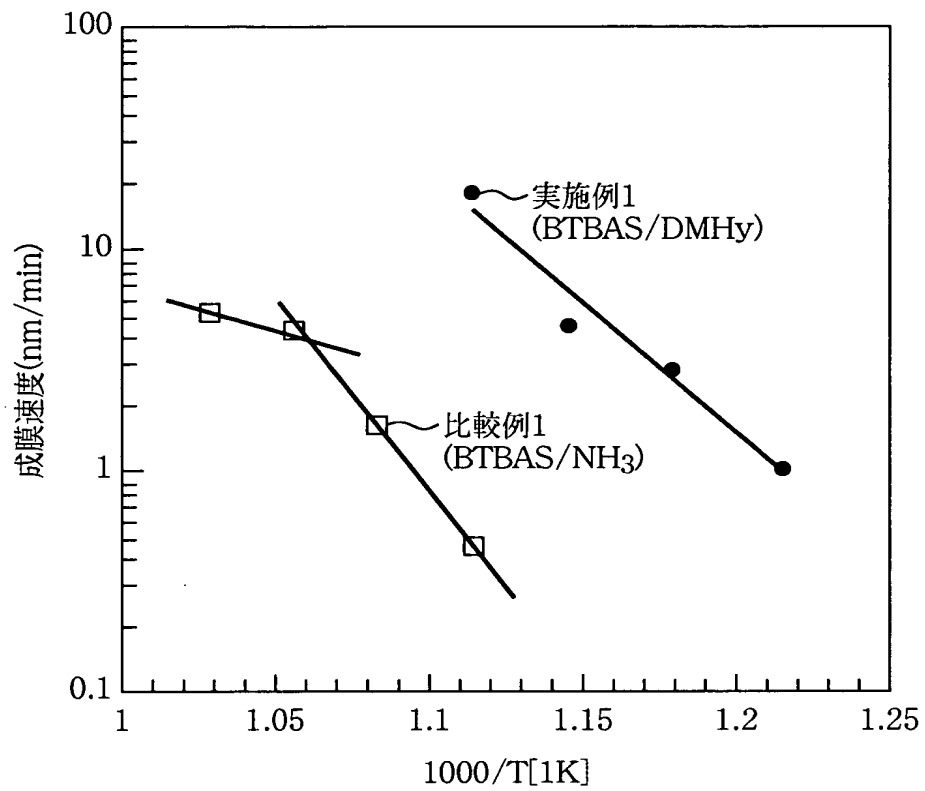
【図 2 4】

本発明の第3実施形態による半導体装置の製造方法を示す工程断面図



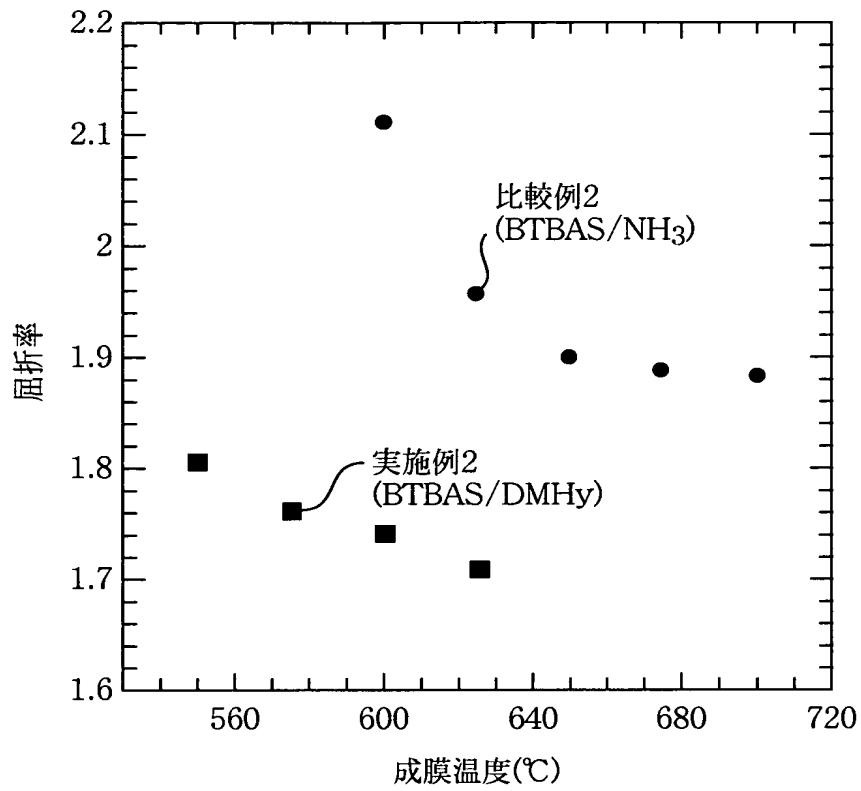
【図 2 5】

シリコン窒化膜の成膜速度を示すグラフ



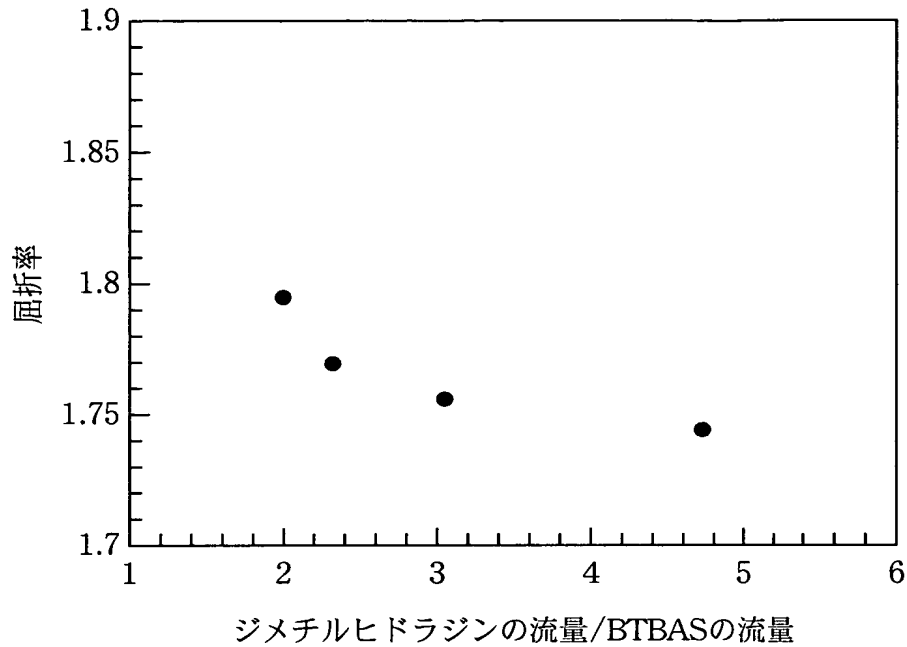
【図 2 6】

シリコン窒化膜の成膜温度と屈折率との関係を示すグラフ



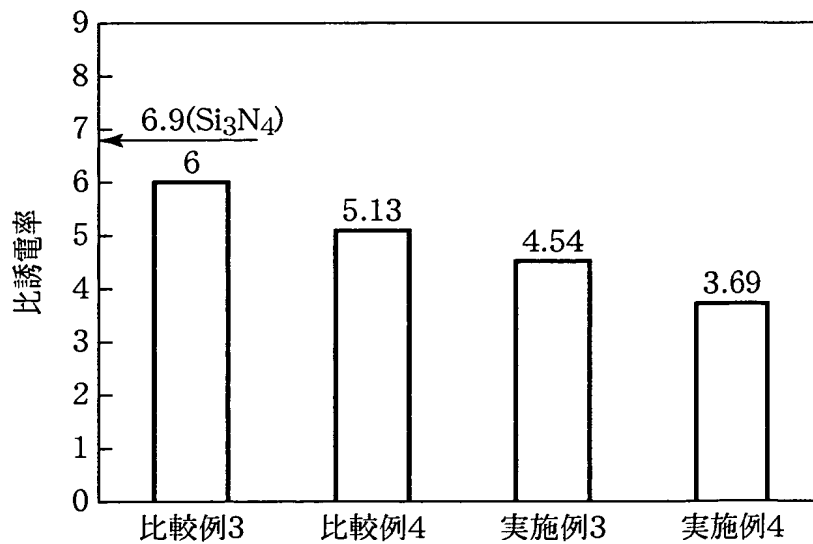
【図 2 7】

原料ガスの流量比とシリコン窒化膜の屈折率との関係を示すグラフ



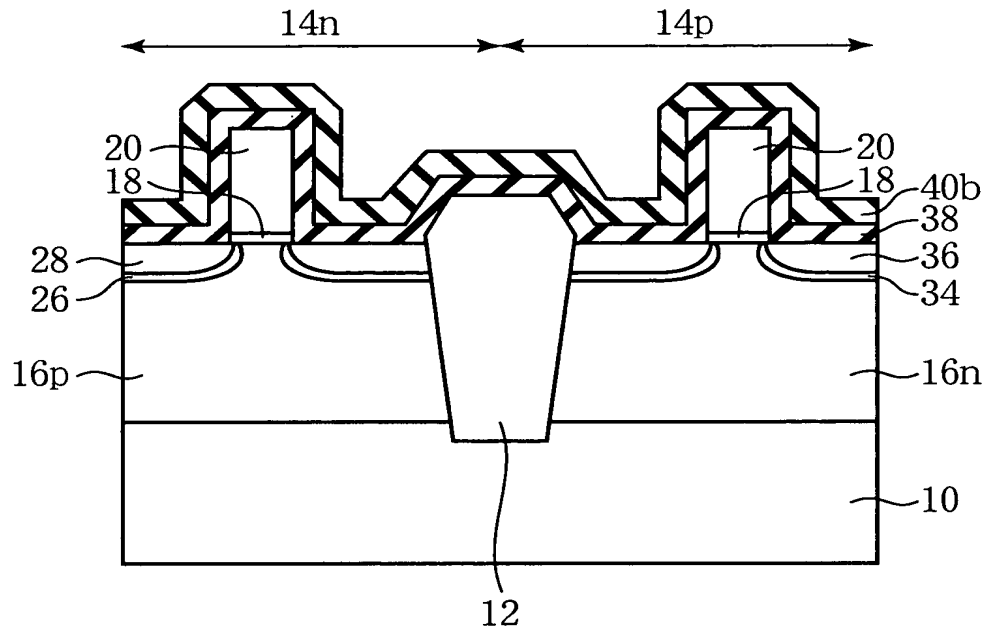
【図 2 8】

シリコン酸化膜の比誘電率を示すグラフ



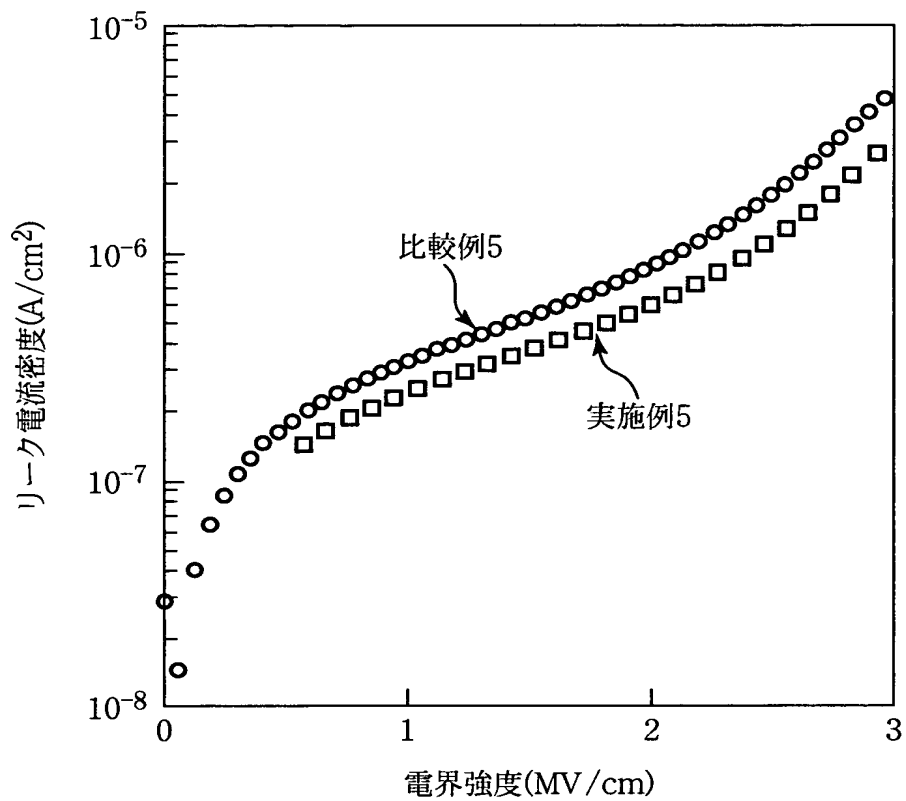
【図 29】

本発明の第3実施形態の変形例による半導体装置の製造方法を示す
工程断面図



【図 3 0】

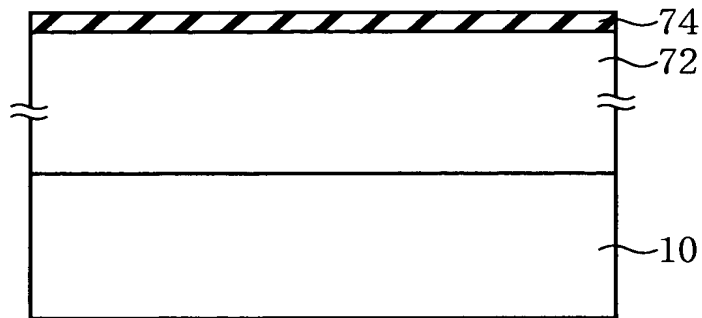
シリコン窒化膜におけるリーク電流特性を示すグラフ



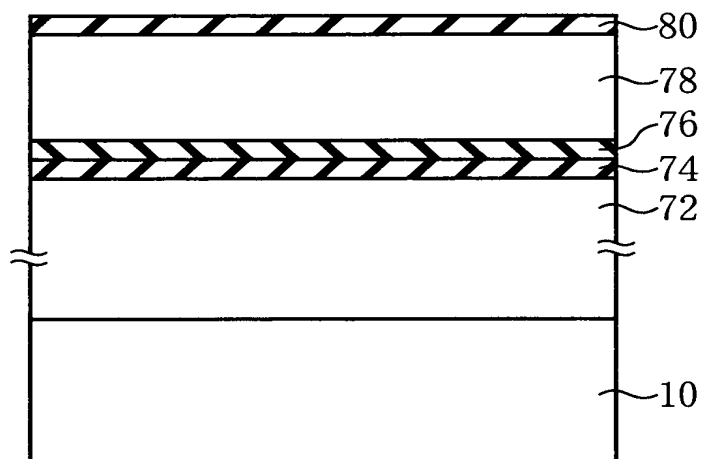
【図 3 1】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図(その1)

(a)



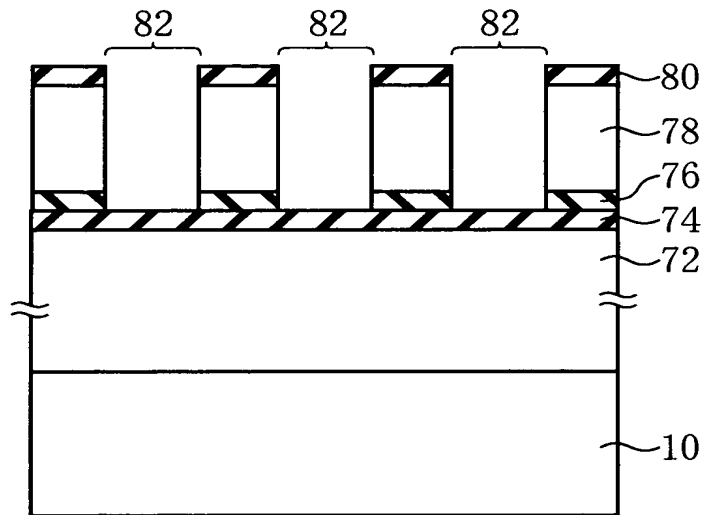
(b)



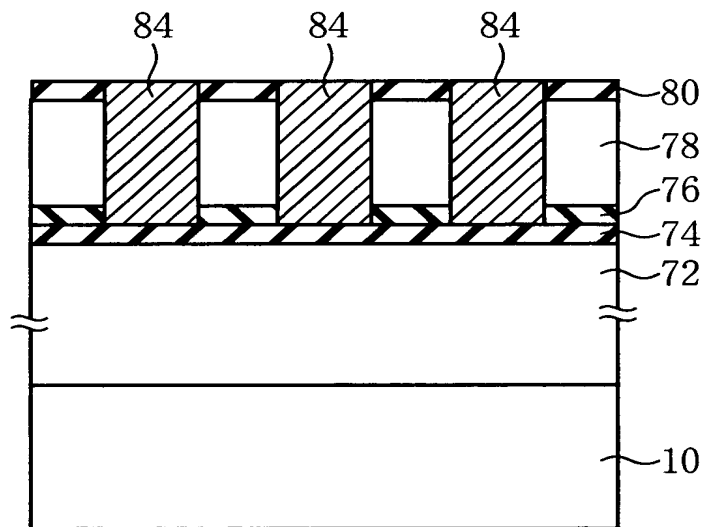
【図 3 2】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図(その2)

(a)

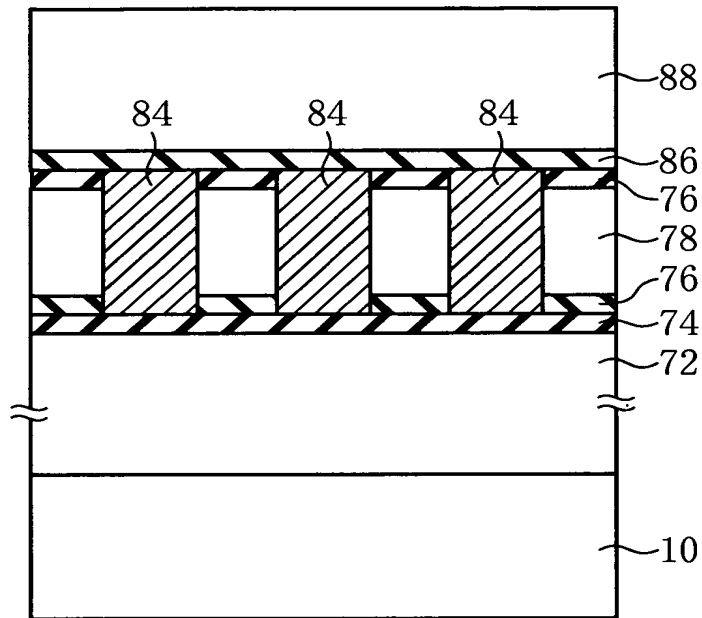


(b)



【図 3 3】

本発明の第4実施形態による半導体装置の製造方法を示す
工程断面図(その3)



【書類名】 要約書

【要約】

【課題】 浅い不純物拡散領域におけるドーパント不純物の拡散を抑制し得る半導体装置の製造方法を提供する。

【解決手段】 半導体基板 1 0 上にゲート絶縁膜 1 8 を介してゲート電極 2 0 を形成する工程と、ゲート電極をマスクとして半導体基板内にドーパント不純物を導入することにより、ゲート電極の両側の半導体基板内に不純物拡散領域 2 8、3 6 を形成する工程と、半導体基板上に、ゲート電極を覆うようにシリコン酸化膜 3 8 を形成する工程と、シリコン酸化膜を異方性エッチングすることにより、ゲート電極の側壁部分にシリコン酸化膜を有するサイドウォールスペーサ 4 2 を形成する工程とを有する半導体装置の製造方法であって、シリコン酸化膜を形成する工程では、ビスターシャルブチルアミノシランと酸素とを原料として用い、熱 C V D 法により、5 0 0 ～ 5 8 0 ℃ の成膜温度で、シリコン酸化膜を形成する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社